



湖南大学

HUNAN UNIVERSITY

信息科学与工程学院

安全车用微控制器地址部件与 中断系统的设计与实现

答 辩 人： 赵 伟

导 师： 李仁发 教授

研究方向： 嵌入式体系结构

提纲



1. 研究背景与意义

2. 微控制器结构与指令集介绍

3. 本文的主要工作

4. 下一步工作

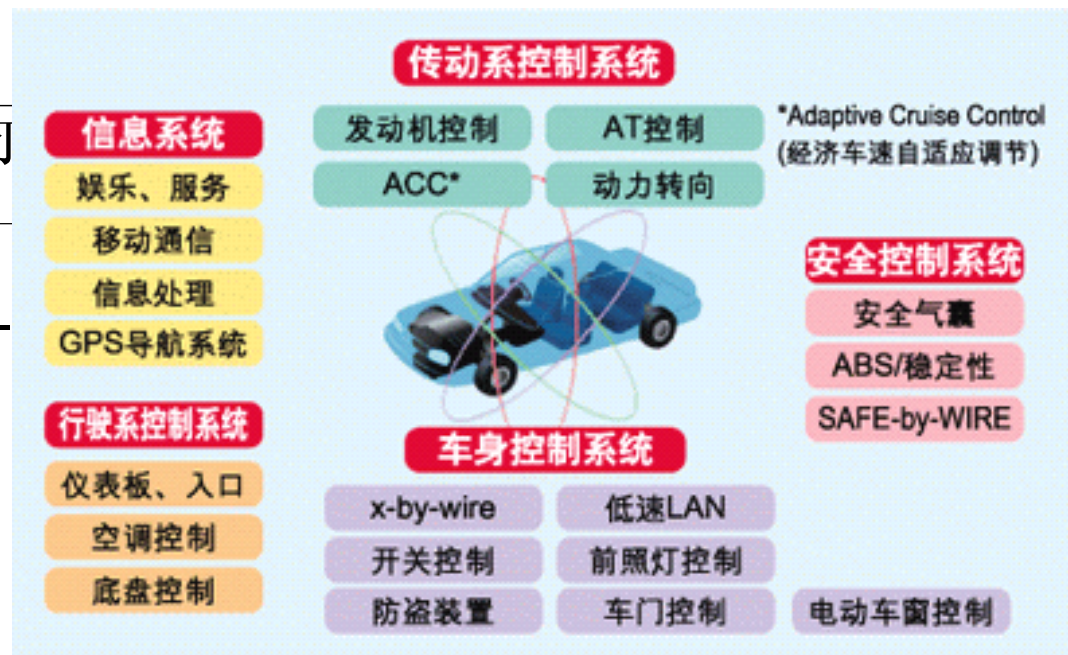
研究背景与意义

➤ 背景与意义

- ◆ 汽车电子高速发展
- ◆ 巨大的中国汽车电子市场与核心技术的缺失

➤ 研究目标

- ◆ 开发一
- ◆ ESNL-



器

提纲

1. 研究背景与意义

2. 微控制器结构与指令集介绍

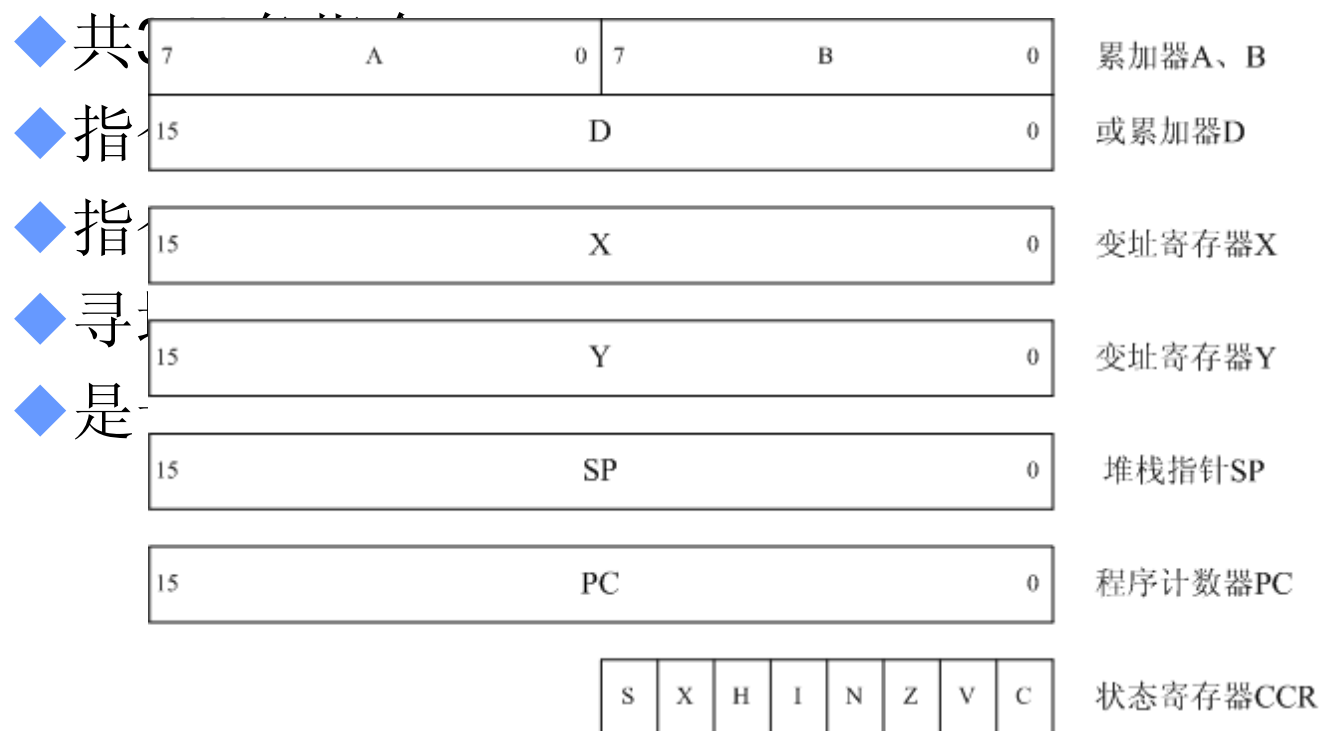
3. 本文的主要工作

4. 下一步工作

微控制器结构与指令集介绍

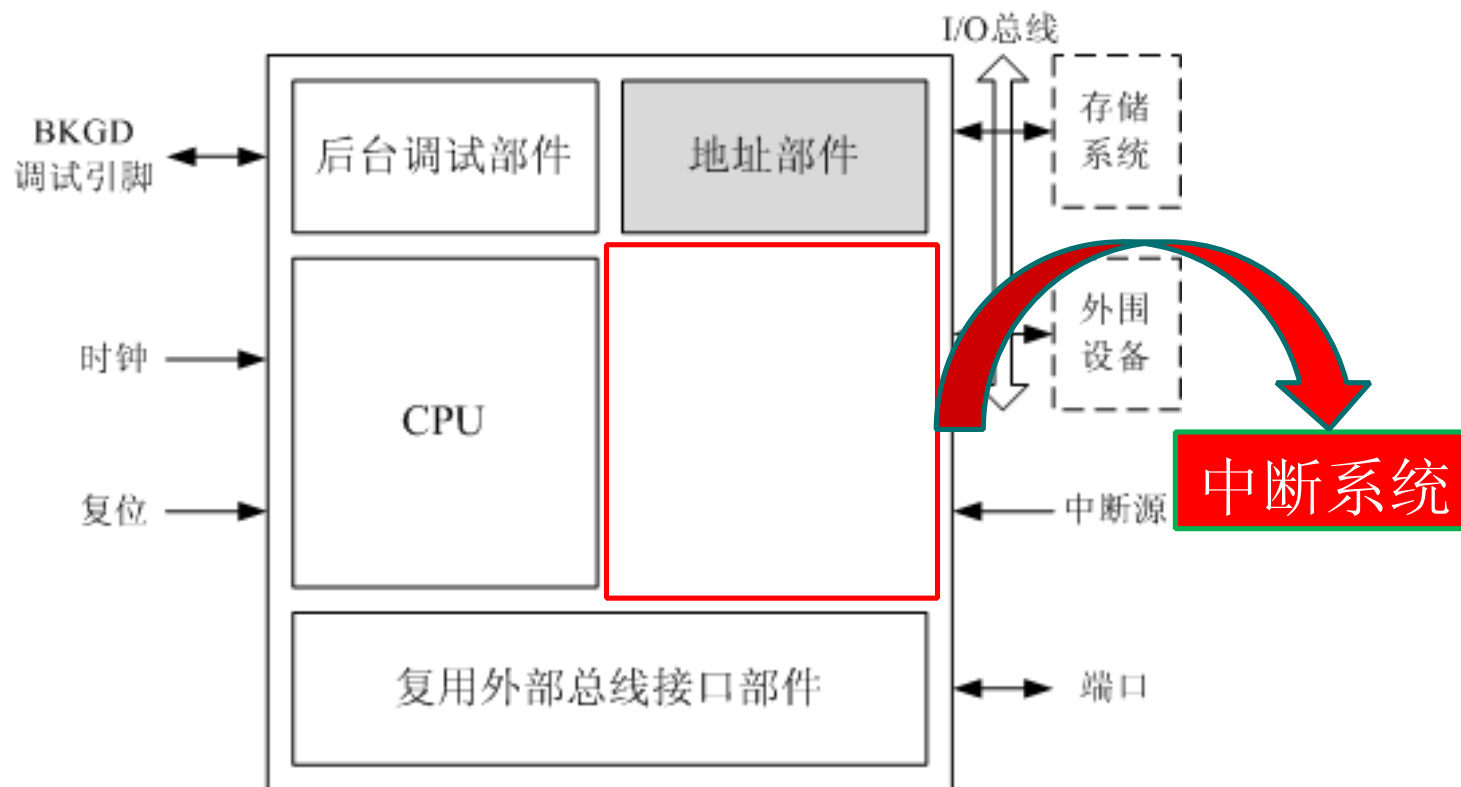
▶ CPU12指令集

◆ 寄存器结构;



微控制器结构与指令集介绍

➤ ESNL-16微控制器内核结构



提纲

1. 研究背景与意义

2. 微控制器结构与指令集介绍

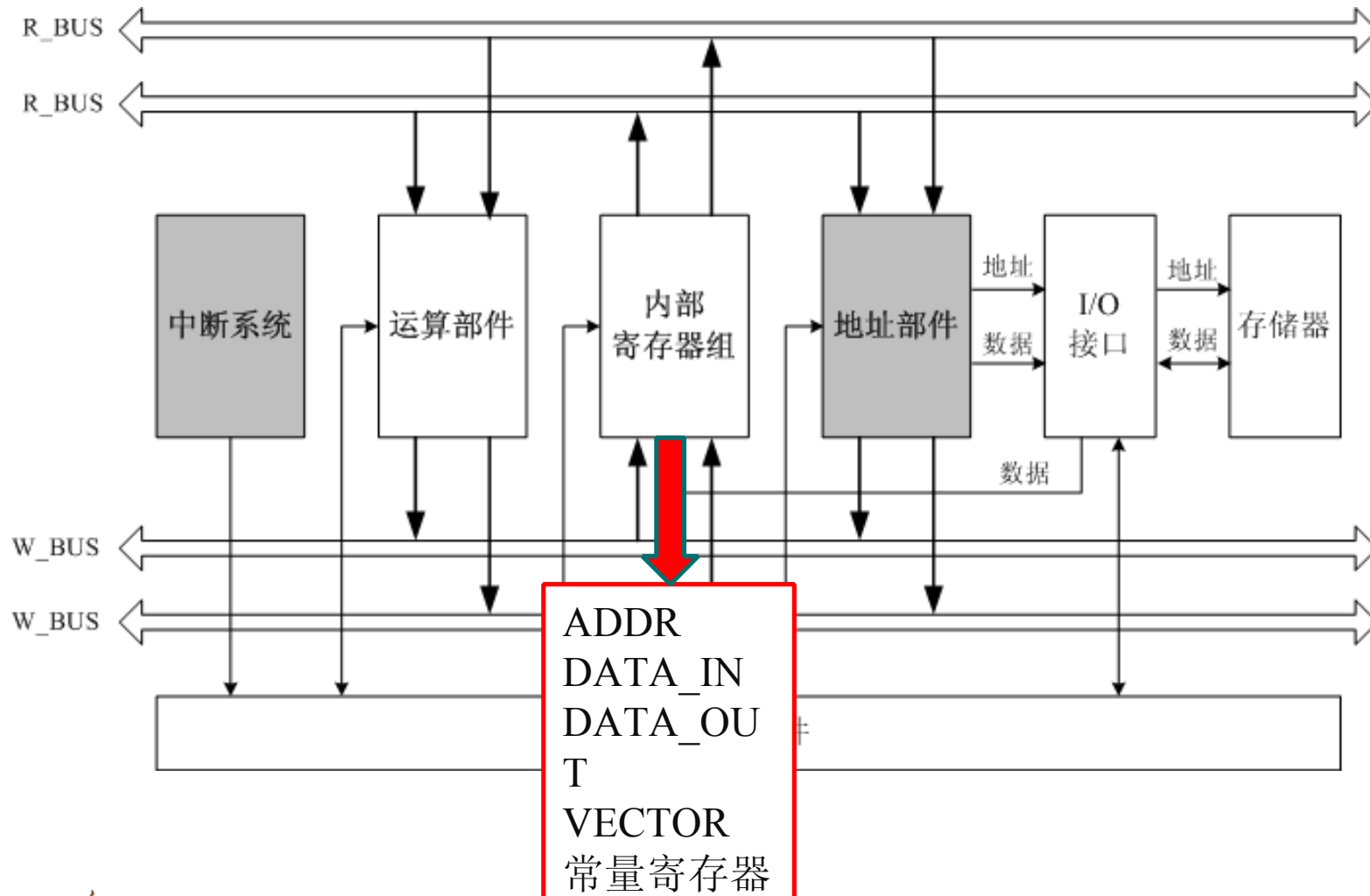
3. 本文的主要工作

4. 下一步工作

本文主要工作

- 一、参与设计了微控制器的数据通路
- 二、完成了微控制器地址部件的设计
- 三、设计了微控制器中断部件
- 四、设计了微控制器硬件断点部件
- 五、实现了微控制器的数据安全性

数据通路设计



地址部件设计

- 1、地址部件微指令设计
- 2、地址产生器设计
- 3、存储器结构设计
- 4、存储单元选择器设计
- 5、总线控制器设计

地址部件-微指令设计

51~50	49~46	45	44~43	42~41	40~39	38	37~32	31~30	29
Type	Reserve	RW	Splice	PrePost	RWA	SpA	RegA	RWB	SpB
2位	4位	1位	2位	2位	2位	1位	6位	2位	1位

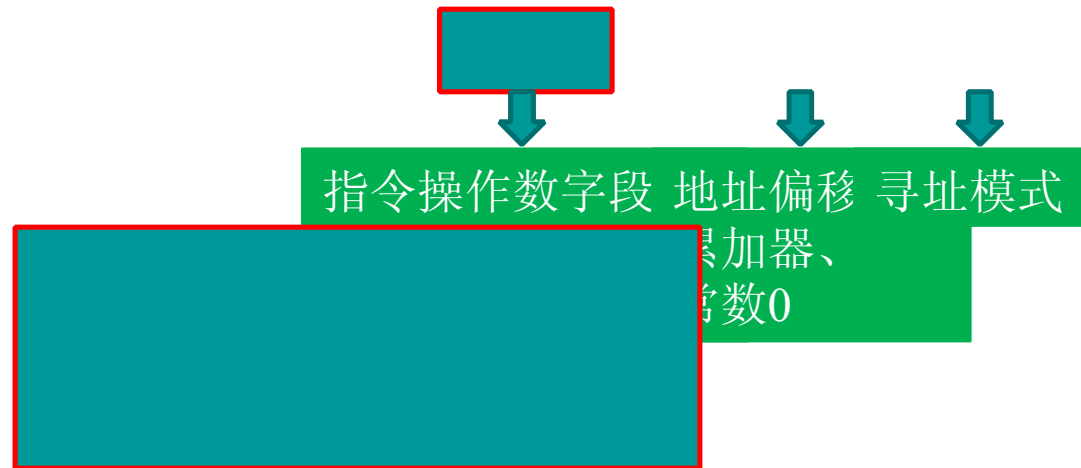
28~23	22	21	20	19	18	17	16~13	12~0
RegB	Size	Data	Req	Lock	Exception	Ready	Control	Next Addr
6位	1位	1位	1位	1位	1位	1位	4位	13位

地址部件-地址产生器设计

寻址模式	地址生成方式
隐含寻址	无
立即数寻址	无
直接寻址	$ADDR = \text{指令中的8位操作数} + 0$
扩展寻址	$ADDR = \text{指令中的16位操作数} + 0$
相对寻址	$ADDR = PC + \text{指令中的8位或者16位偏移量}$
变址寻址	根据指令中8位操作数的编码分为： <ul style="list-style-type: none"> • $ADDR = \text{基址寄存器} + 5\text{位或者}9\text{位有符号偏移量}$ • $ADDR = \text{基址寄存器} + 16\text{位无符号偏移量}$ • $ADDR = \text{基址寄存器} + \text{累加器A、B或者D}$
间接变址寻址	两次访存： <p>第一次访存的地址</p> <ul style="list-style-type: none"> • $ADDR = \text{基址寄存器} + \text{累加器D}$ • $ADDR = \text{基址寄存器} + 16\text{位无符号偏移量}$ <p>第二次访存的地址</p> $ADDR = \text{第一次访存得到的内存数} + 0$

后向变址寻址

地址部件-地址产生器设计



地址部件-地址产生器设计

➤ 地址产生器逻辑电路结构

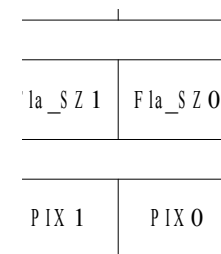
地址部件-存储器结构设计

➤ 存储器组成

- ◆ 1KB 寄存器区
- ◆ 2KB EEPROM
- ◆ 8KB RAM
- ◆ 128KB Flash
- ◆ 7B BDM 寄存器
- ◆ 256B BDM ROM
- ◆ 128B安全BDM ROM

➤ 地址映射

- ◆ $2^{16}=64\text{KB}$ 系统地址空间



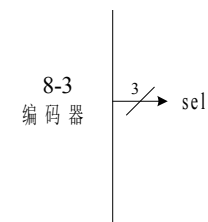
地址部件-存储单元选择器设计

▶ 存储单元选择信号编码

选择信号(sel)	存储单元	地址条件
000	BDM 寄存器	$\$FF00 \leq \text{address} \leq \$FF07$
001	安全BDM ROM	$\$FF80 \leq \text{address} \leq \$FFFF$
010	BDM ROM	$\$FF00 \leq \text{address} \leq \$FFFF$
011	寄存器区	$\$0000 \leq \text{address-reg_base} < \0400
100	RAM	$\$0000 \leq \text{address-ram_base} < \0800
101	EEPROM	$\$0000 \leq \text{address-rom_base} < \2000
110	Flash	$\$4000 \leq \text{address} \leq \$FFFF$
111	无	以上条件均不满足

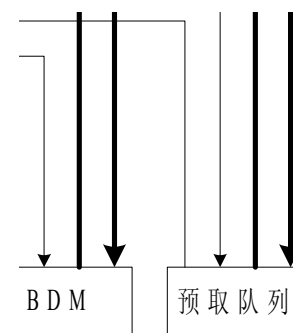
地址部件-存储单元选择器设计

➤ 存储单元选择器逻辑电路结构



地址部件-总线控制器设计

▶ 总线控制器逻辑电路结构



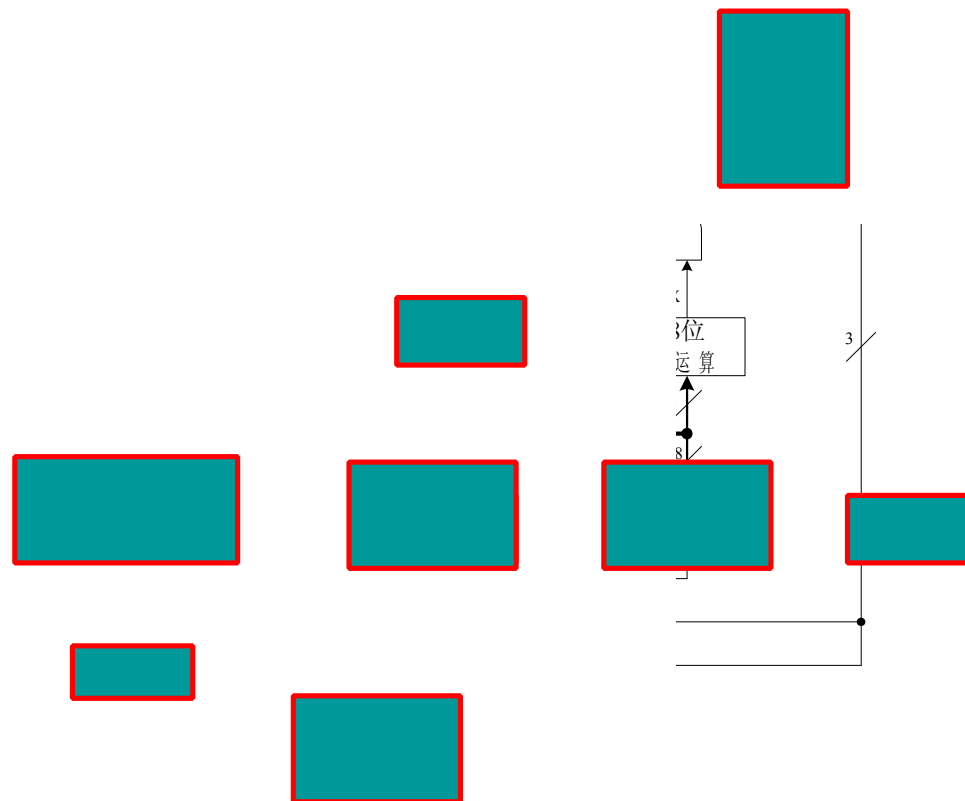
中断部件设计

中断向量地址	中断源	CCR屏蔽位	优先级
\$FFFE	上电复位/外部复位	无	最高
\$FFFC	时钟监视器复位	无	↓
\$FFFA	看门狗溢出复位	无	
\$FFF8	非法指令中断	无	
\$FFF6	SWI指令	无	
\$FFF4	外部 \overline{XIRQ} 引脚	X	
\$FFF2	外部 \overline{IRQ} 引脚	I	
\$FFF0	实时时钟(RTI)中断	I	
\$FF80~\$FFEE	外围设备中断	I	最低

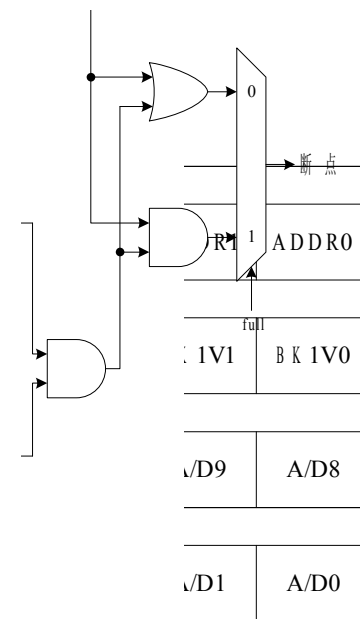
中断优先级设置

中断部件设计

➤ 中断部件逻辑电路结构



硬件断点部件设计



微控制器安全性设计

- PRESENT算法
- 线性相等理论

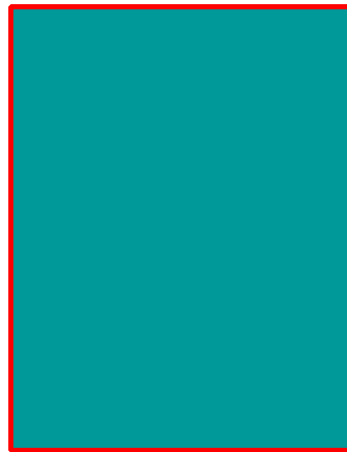
$$S'(x) = B(S(A(x)+a))+b$$



$$A = B = \begin{bmatrix} 1 & 1 & 0 & 1 \\ 1 & 0 & 1 & 1 \\ 1 & 1 & 1 & 0 \\ 0 & 1 & 0 & 0 \end{bmatrix} \quad a = b = \begin{bmatrix} 1 \\ 0 \\ 1 \\ 0 \end{bmatrix}$$

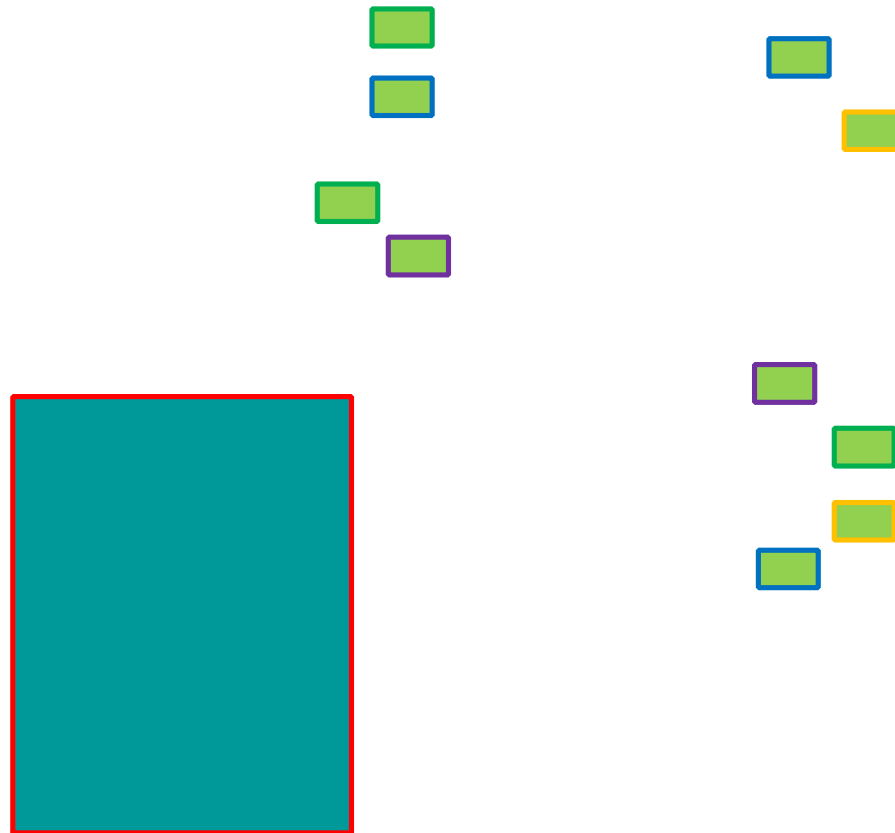
微控制器安全性设计

► PRESENT统一的体系结构



微控制器安全性设计

▶ 带掩码的PRESENT统一的体系结构



微控制器安全性设计

实验结果与比较

设计	数据通路 (位)	周期	XC5VLX110T-1FF1136		0.18 μ m CMOS @ 100KHz	
			频率 (MHz)	面积	面积	功耗 (μ W)
PRESENT-UNIFY-4	4	1705	286.37			1.85
PRESENT-UNIFY-64	64	32	186.39			5.5
Masked PRESENT-UNIFY-4	4	1705	132.90	183	2190	2.33
				16.1% lesser	8.1% lesser	

系统验证

➤ 验证流程

提纲

1. 研究背景与意义

2. 微控制器结构与指令集介绍

3. 本文的主要工作

4. 下一步工作

下一步工作

1. 时序优化
2. 实现复用外部总线接口部件和外围设备
3. 调通BDM与CodeWarrior编译器的连接
4. 基于ASIC平台的验证
5. 流片、生产



湖南大学

HUNAN UNIVERSITY

信息科学与工程学院

Thank You !

请老师指点!