

车用微控制器运算和译码部件的设计与验证

学生：韩德敏

导师：李仁发 教授

handemin@163.com

嵌入式系统及网络实验室
信息科学与工程学院
湖南大学

2012 年 5 月 12 日



汽车电子

作用

- ▶ 安全性
- ▶ 舒适性
- ▶ 经济性
- ▶ 娱乐性

发展方向

- ▶ 智能化
- ▶ 网络化
- ▶ 集成化

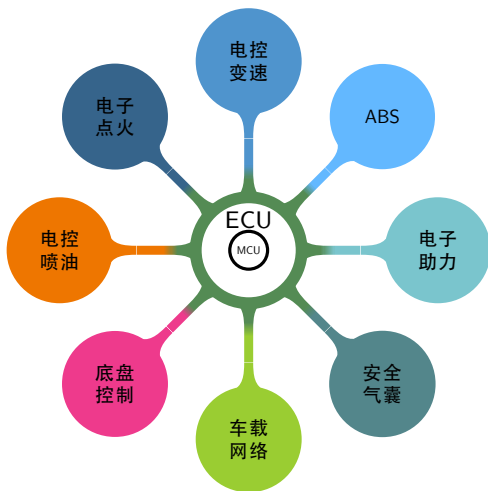


Figure: 汽车电子的一些应用

2

研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

总结

Thanks

17



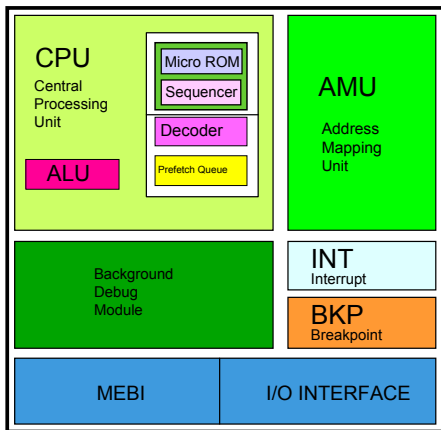
兼容飞思卡尔 CPU12 指令集的 16 位微控制器

特点

- ▶ CISC 指令集
- ▶ 丰富的寻址方式
- ▶ 模糊指令
- ▶ BDM 和硬件断点
- ▶ **安全模块**

设计原则和方案

- ▶ 自顶向下
- ▶ 单时钟同步设计
- ▶ 微程序控制



研究背景

汽车电子

ESNL 相关

3

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

总结

Thanks

Figure: 总体结构

内部通路设计

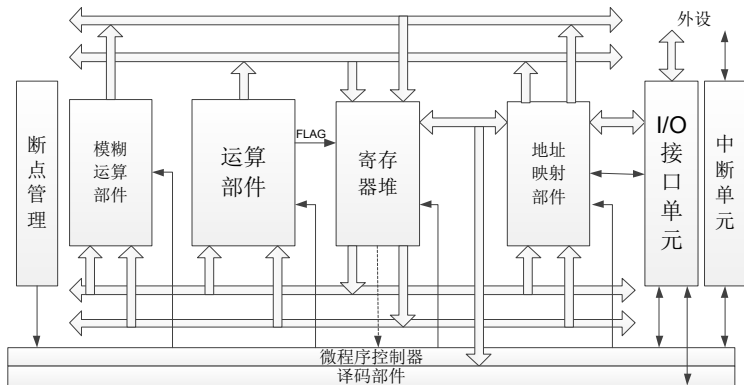


Figure: ENSL-16 内部通路

研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

4

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

总结

Thanks

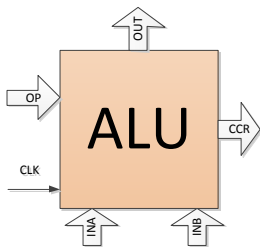
运算部件

ALU



部件功能

- ▶ 主要的执行部件
- ▶ 负责基本的算术逻辑运算
- ▶ 辅助地址运算
- ▶ 辅助模糊指令运算



运算种类

大类	小类
加减法	8 位, 16 位, 进位
乘法	8 位, 16 位, 有符号, 无符号
逻辑	and, or, not, xor
移位	左移, 右移, 循环, 逻辑, 算术

研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

总结

Thanks

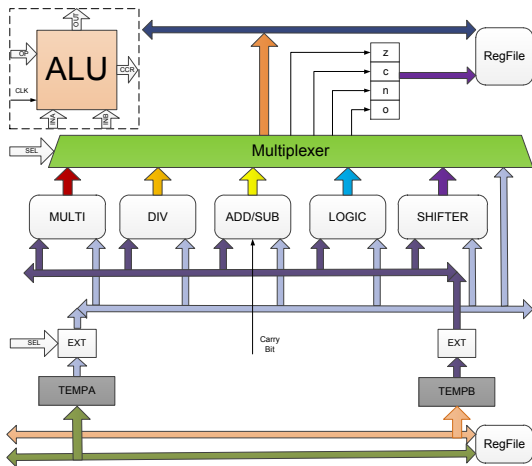
5

17



模块划分和通路设计

- ▶ 五个运算单元
- ▶ 16 位统一数据通路
- ▶ 32 位结果
2 个周期



研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

总结

Thanks

6

17



微指令格式

Type		Operation			Src1/Dest1			Src2/Dest2			Test	Control	Address
Micro Inst Type	ALU Sub Type	ALU Op Code	Flag	Splice Read / Write	Splice Src1/ Dest1 Address	Splice Read / Write	Splice Src1/ Dest1 Address	Splice Read / Write	Splice Src1/ Dest1 Address	Test Code	Control Code	Next Micro Inst Address	
2	2	5	1	1	2	1	6	2	1	6	6	4	13
51:50	49:48	47:43	42:41	40:39	38	37:32	31:30	29	28:23	22:17	16:13	12:0	

特点

- ▶ 水平型微指令
- ▶ 跳转和循环
- ▶ 微子程序调用
- ▶ 设计裕量，字段合并

研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

总结

Thanks

7

17



乘法器

- ▶ 单周期
- ▶ 8, 16, signed, unsigned
- ▶ 位扩展至 17 位

部分积

- ▶ 基 4 布斯编码, 减少一半的部分积
- ▶ 快速编解码方案

压缩树

- ▶ 3:2, 4:2 混合压缩
- ▶ 8 级 XOR 延迟

除法器

- ▶ 多周期
- ▶ 8, 16, signed, unsigned
- ▶ 位扩展至 34
- ▶ 不恢复余数法
- ▶ 17 次迭代
- ▶ 状态机控制
- ▶ 结果校正

研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

8

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

总结

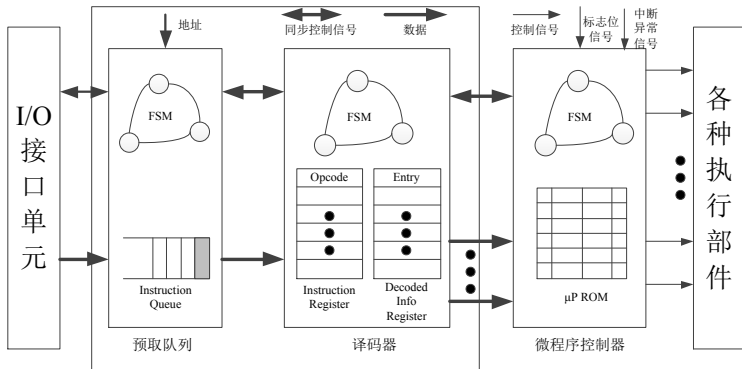
Thanks



译码部件

结构与交互

位置和交互



研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

总结

Thanks

组成

- ▶ 预取队列
- ▶ 译码器

作用

- ▶ 取指，缓冲指令
- ▶ 微程序入口和初步译码信息

9

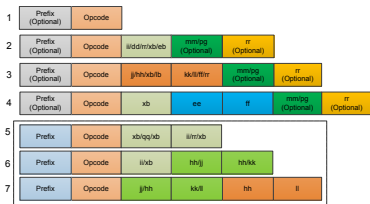
17



译码部件

指令结构与译码方案

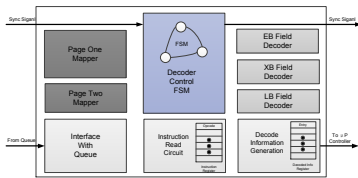
指令结构



指令分析

- ▶ 2 个代码页
- ▶ 19 个细分的寻址模式
- ▶ 译码信息矩阵

译码方案



方案分析

- ▶ 9 个组成部分
- ▶ 寻址模式导向的字节区分
- ▶ 状态机设计

研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

总结

Thanks

10

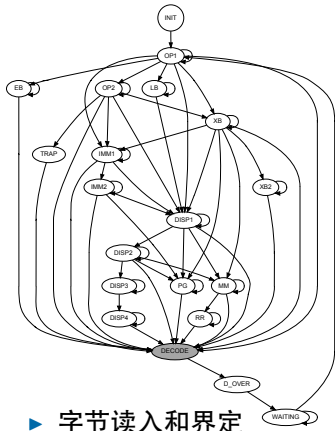
17



译码部件

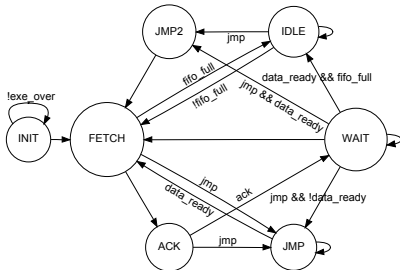
状态机和时序

译码器 FSM

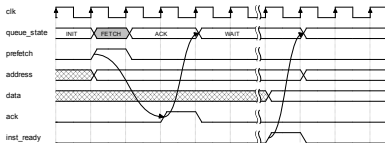


- ▶ 字节读入和界定
- ▶ 一个状态负责译码

预取 FSM



预取时序



研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

总结

Thanks

11

17



工具

用途	工作站	PC
仿真	VCS@S	Questa@M
FPGA	ISE@X	ISE@X
ASIC	DC@S	
波形	Verdi@SS	Verdi@SS

语言

用途	语言
设计	Verilog-2001
验证	SystemVerilog
仿真	Bash, Tcl
转换	C, Python

验证评价

- ▶ 代码静态检查
- ▶ 代码覆盖率
- ▶ 功能覆盖率

验证方法

- ▶ SVA 并行断言
- ▶ 基于 UVM 的验证
- ▶ FPGA 原型测试

研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

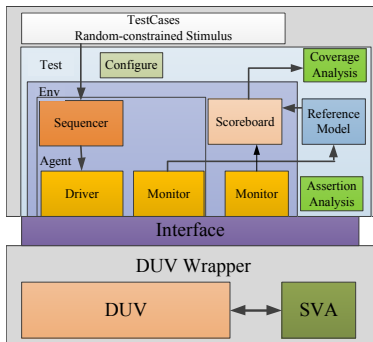
验证平台

验证结果

总结

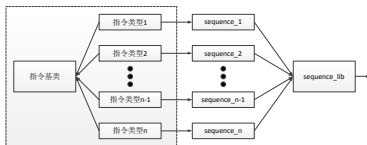
Thanks

验证平台搭建



- ▶ 驱动器
- ▶ 检查机制
- ▶ 分析机制
- ▶ 事务级
- ▶ 可重用
- ▶ 灵活

指令发生器方案



原理

- ▶ 基于约束的随机产生
- ▶ sequence_lib 机制
- ▶ 继承和多态

好处

- ▶ 快速全面的指令覆盖
- ▶ 指定的指令类型产生

研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

总结

Thanks

验证测试

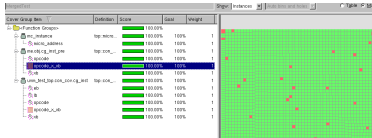
验证结果



运算部件

Cover Group Item	Score	Line	Weight	
Function Dropin	100.00%			
Stepdut_linegrp_cover_2	100.00%			
Stepdut_linegrp_cover_3	100.00%	100%	1	
Stepdut_mdr_smp_01	100.00%	100%	1	
Stepdut_mdr_smp_02	100.00%	100%	1	
Stepdut_mdr_smp_03	100.00%	100%	1	
Stepdut_mdr_smp_04	100.00%	100%	1	
Stepdut_mdr_smp_05	100.00%	100%	1	
Stepdut_mdr_smp_06	100.00%	100%	1	
Stepdut_mdr_smp_07	100.00%	100%	1	
Stepdut_mdr_smp_08	100.00%	100%	1	
Stepdut_mdr_smp_09	100.00%	100%	1	
Stepdut_mdr_smp_10	100.00%	100%	1	
Stepdut_mdr_smp_11	100.00%	100%	1	
Stepdut_mdr_smp_12	100.00%	100%	1	
Stepdut_mdr_smp_13	100.00%	100%	1	
Stepdut_mdr_smp_14	100.00%	100%	1	
Stepdut_mdr_smp_15	100.00%	100%	1	
Stepdut_mdr_smp_16	100.00%	100%	1	
Stepdut_mdr_smp_17	100.00%	100%	1	
Stepdut_mdr_smp_18	100.00%	100%	1	
Stepdut_mdr_smp_19	100.00%	100%	1	
Stepdut_mdr_smp_20	100.00%	100%	1	
Stepdut_mdr_smp_21	100.00%	100%	1	
Stepdut_mdr_smp_22	100.00%	100%	1	
Stepdut_mdr_smp_23	100.00%	100%	1	
Stepdut_mdr_smp_24	100.00%	100%	1	
Stepdut_mdr_smp_25	100.00%	100%	1	
Stepdut_mdr_smp_26	100.00%	100%	1	
Stepdut_mdr_smp_27	100.00%	100%	1	
Stepdut_mdr_smp_28	100.00%	100%	1	
Stepdut_mdr_smp_29	100.00%	100%	1	
Stepdut_mdr_smp_30	100.00%	100%	1	
Stepdut_mdr_smp_31	100.00%	100%	1	
Stepdut_mdr_smp_32	100.00%	100%	1	
Stepdut_mdr_smp_33	100.00%	100%	1	
Stepdut_mdr_smp_34	100.00%	100%	1	
Stepdut_mdr_smp_35	100.00%	100%	1	
Stepdut_mdr_smp_36	100.00%	100%	1	
Stepdut_mdr_smp_37	100.00%	100%	1	
Stepdut_mdr_smp_38	100.00%	100%	1	
Stepdut_mdr_smp_39	100.00%	100%	1	
Stepdut_mdr_smp_40	100.00%	100%	1	
Stepdut_mdr_smp_41	100.00%	100%	1	
Stepdut_mdr_smp_42	100.00%	100%	1	
Stepdut_mdr_smp_43	100.00%	100%	1	
Stepdut_mdr_smp_44	100.00%	100%	1	
Stepdut_mdr_smp_45	100.00%	100%	1	
Stepdut_mdr_smp_46	100.00%	100%	1	
Stepdut_mdr_smp_47	100.00%	100%	1	
Stepdut_mdr_smp_48	100.00%	100%	1	
Stepdut_mdr_smp_49	100.00%	100%	1	
Stepdut_mdr_smp_50	100.00%	100%	1	

译码部件



Item	Score	Line	Trigger	PDM	Condition	Branch
04	100.00%	100.00%	100.00%	100.00%	100.00%	100.00%
addmul	100.00%	100.00%	100.00%	100.00%	100.00%	100.00%
and	37.76%	100.00%	50.30%	100.00%	100.00%	100.00%
and4	36.52%	100.00%	50.35%	100.00%	100.00%	100.00%
and8	36.40%	100.00%	50.10%	100.00%	100.00%	100.00%
andn	39.63%	100.00%	50.89%	100.00%	100.00%	100.00%
andn4	32.85%	100.00%	52.25%	100.00%	100.00%	100.00%
andn8	33.37%	100.00%	52.55%	100.00%	100.00%	100.00%
andn16	100.00%	100.00%	100.00%	100.00%	100.00%	100.00%

研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

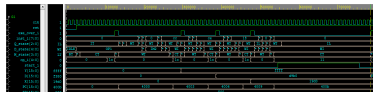
验证与测试

验证平台

验证结果

总结

Thanks



Item	Score	Line	Trigger	PDM	Condition	Branch
and	54.16%	37.67%	07.76%	100.00%	85.94%	36.22%
and4	34.76%	39.52%	34.32%	100.00%	82.00%	36.07%
and8	34.44%	39.33%	33.33%	100.00%	82.00%	35.00%
andn	37.95%	39.94%	34.74%	100.00%	86.98%	37.28%
andn4	36.23%	38.00%	36.43%	88.00%	100.00%	35.38%
andn8	38.49%	37.94%	33.03%	100.00%	87.57%	37.57%
andn16	35.25%	38.21%	36.48%	100.00%	86.98%	35.99%
andn32	35.25%	38.21%	36.48%	100.00%	86.98%	35.99%
andn64	33.83%	33.40%	34.07%	100.00%	82.70%	35.21%
andn128	32.29%	36.61%	36.51%	100.00%	80.00%	36.17%
andn256	33.35%	37.26%	32.38%	100.00%	76.19%	35.06%
andn512	33.35%	33.39%	31.28%	100.00%	100.00%	35.97%
andn1024	33.44%	36.56%	36.52%	100.00%	100.00%	35.97%
andn2048	32.33%	35.20%	31.67%	100.00%	82.60%	31.07%
andn4096	31.45%	33.40%	30.08%	100.00%	80.88%	30.88%
andn8192	30.84%	33.00%	30.88%	100.00%	82.88%	30.88%

14

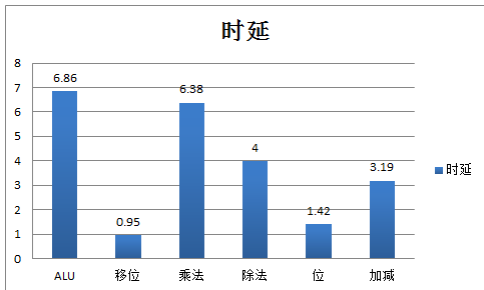
Item	Score	Line	Trigger	PDM	Condition	Branch
addmul	100.00%	100.00%	100.00%	100.00%	100.00%	100.00%
and	54.16%	37.67%	07.76%	100.00%	85.94%	36.22%
and4	34.76%	39.52%	34.32%	100.00%	82.00%	36.07%
and8	34.44%	39.33%	33.33%	100.00%	82.00%	35.00%
andn	37.95%	39.94%	34.74%	100.00%	86.98%	37.28%
andn4	36.23%	38.00%	36.43%	88.00%	100.00%	35.38%
andn8	38.49%	37.94%	33.03%	100.00%	87.57%	37.57%
andn16	35.25%	38.21%	36.48%	100.00%	86.98%	35.99%
andn32	35.25%	38.21%	36.48%	100.00%	86.98%	35.99%
andn64	33.83%	33.40%	34.07%	100.00%	82.70%	35.21%
andn128	32.29%	36.61%	36.51%	100.00%	80.00%	36.17%
andn256	33.35%	37.26%	32.38%	100.00%	76.19%	35.06%
andn512	33.35%	33.39%	31.28%	100.00%	100.00%	35.97%
andn1024	33.44%	36.56%	36.52%	100.00%	100.00%	35.97%
andn2048	32.33%	35.20%	31.67%	100.00%	82.60%	31.07%
andn4096	31.45%	33.40%	30.08%	100.00%	80.88%	30.88%
andn8192	30.84%	33.00%	30.88%	100.00%	82.88%	30.88%

17



运算部件性能评估

ASIC 评估



条件

- ▶ 0.18 μ m
- ▶ 默认约束

分析

- ▶ Max 145MHz
- ▶ Required 20-50MHz

研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

15

总结

Thanks

17



总结

总结

- ▶ 参与整体的框架结构，接口信号，交互协议的设计
- ▶ 2 个部件级的内部设计与 RTL 实现
- ▶ 部件级的较全面功能验证
- ▶ 部分系统级和 FPGA 测试
- ▶ 大约 1 万行有效代码量

问题

- ▶ 微程序生成自动化问题
- ▶ 系统级验证环境还不完善，缺乏自动化

研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

16 总结

Thanks

17

Thanks



Thanks!!!

研究背景

汽车电子

ESNL 相关

ESNL-16 结构

ESNL-16 通路

运算部件

结构与通路

运算部件微指令

乘法器和除法器

译码部件

组成结构

状态机和时序

验证与测试

验证平台

验证结果

总结

17

Thanks

17