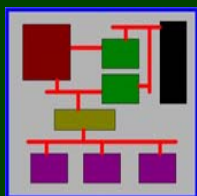




# 性能驱动的SoC通信体系 结构的综合与优化

Research on Synthesis and Optimization of  
Performance-driven Communication Architecture  
in System-on-a-Chip Design



博士生：王海力

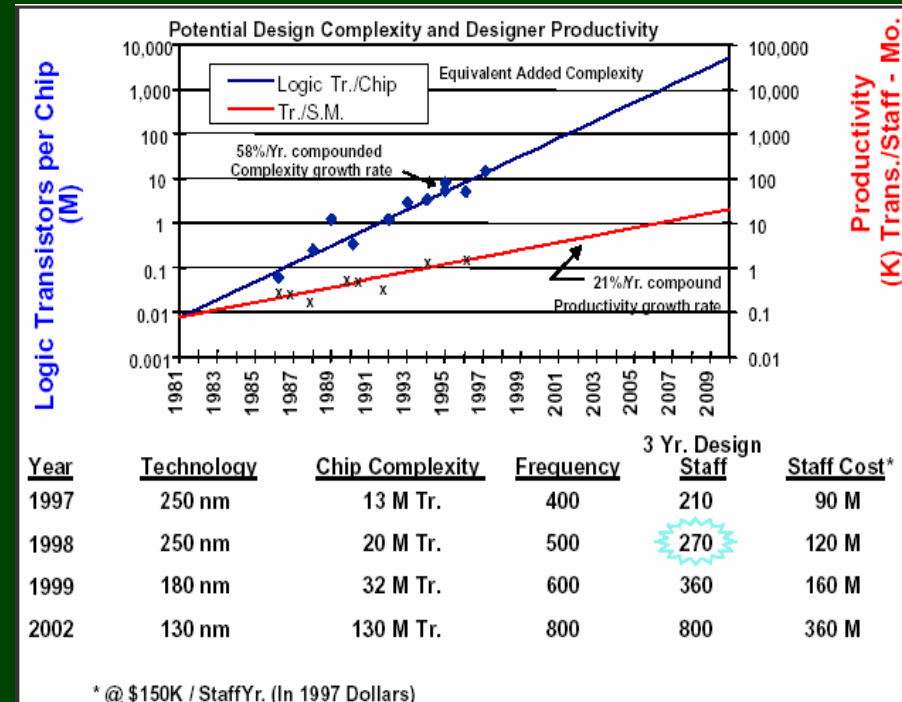
指导老师：边计年

# 目录

- 选题的背景和意义
- 国内外的研究动向
- 主要的研究内容和方案
- 工作特色与难点
- 预期研究成果与可能的创新点
- 工作论文总体时间安排

# 课题研究背景

- 集成电路的发展
  - 特征尺寸越来越小
  - 集成度越来越高
  - 设计复杂度  $\propto$  特征尺寸<sup>-1</sup> × 集成度
- 集成电路的设计
  - 系统芯片 (SoC)
    - System-on-a-Chip
  - 异构系统整合
    - Heterogeneous Systems' Integration



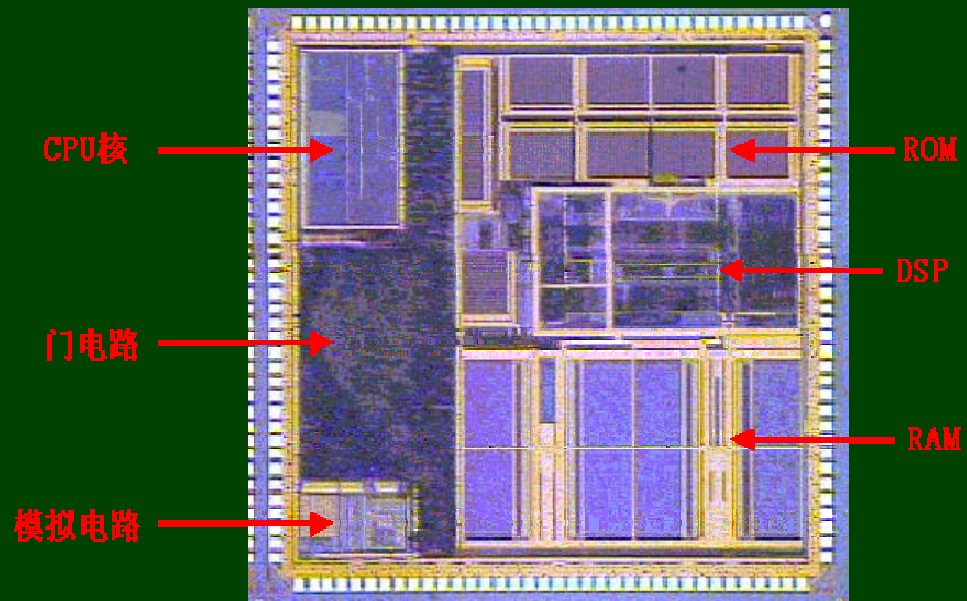
设计复杂性和设计生产率增值趋势

电子设计自动化EDA (Electronic Design Automation)

进入了一个崭新的环境!

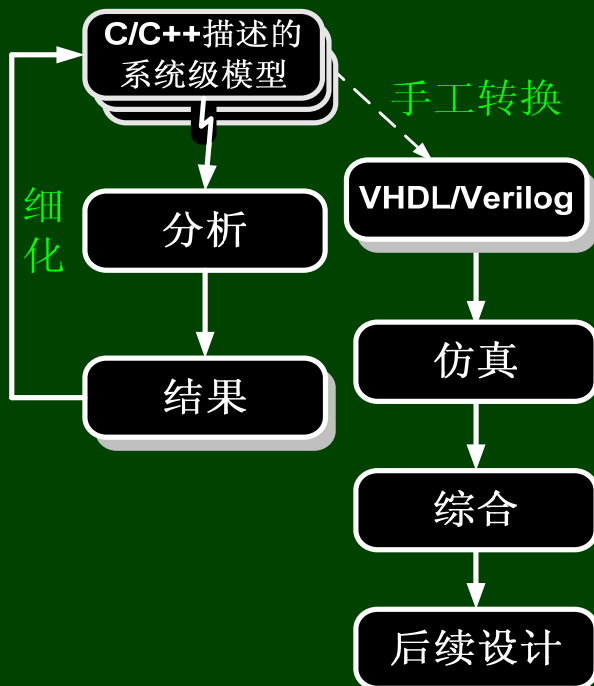
# 系统芯片

- 系统芯片的特征
  - 软硬件协同设计与验证
    - Software/Hardware Codesign
    - Software/Hardware Coverification
  - 具有知识产权核复用
    - Intellectual Property (IP) Core
    - Design Reuse
  - 超深亚微米技术 (VDSM)
    - Very Deep Sub-Micron

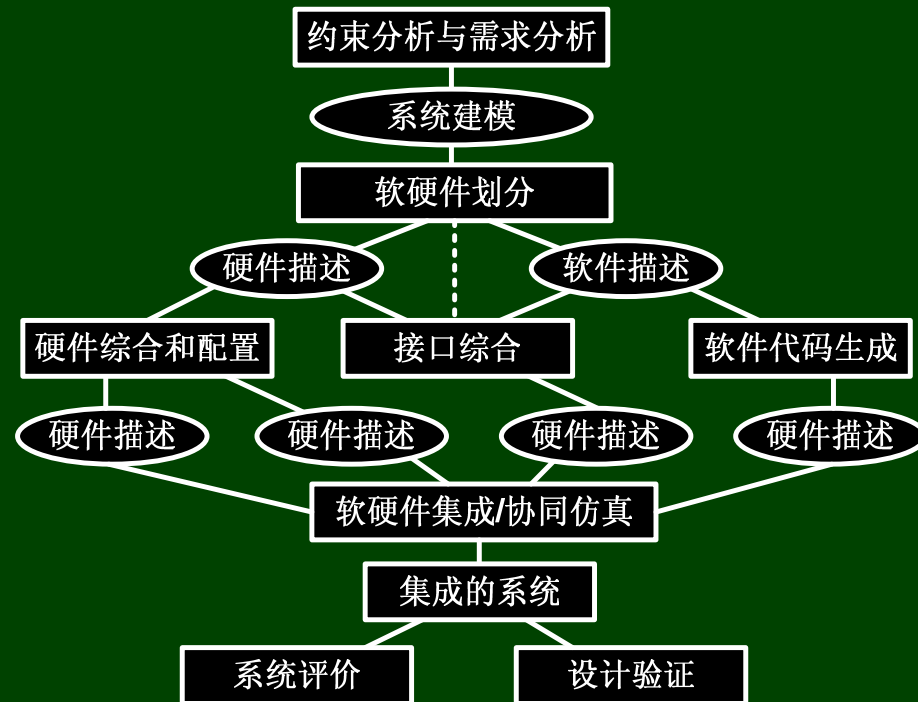


系统芯片的出现使得在一个只有几平方厘米的硅片上实现一个具有复杂功能的多模块系统成为了现实!

# 设计方法学



传统的设计方法



现在的设计方法

## 设计方法学的演变

- 设计语言Language/设计描述Specification
- 软硬件设计的统一考虑 ( Unified System Modeling )
- 设计空间的交替 ( Design Space Interaction )
- .....

# SoC的设计挑战

- 设计目标方面的挑战
- 系统集成与设计方法学的挑战
- 设计复杂度方面的挑战
- 知识领域的挑战
- 模拟与混合信号电路系统设计
- 片内通信技术
- 系统级描述语言的挑战
- 系统测试与验证技术
- .....

# 课题研究意义

- SoC设计的关键
  - 提高设计的抽象层次 ( Abstraction Level )
  - 软硬件协同综合 ( Cosynthesis )
  - IP核的复用
- 层次化的设计
  - 系统规模和复杂性的急剧上升
    - 从系统行为描述到目标结构描述的直接转换非常困难
    - 一个易于出错、费时费力的过程
  - “分而治之”的思想
    - 算法层 ( Algorithm Level ) - - - 功能
    - 体系结构层 ( Architecture Level ) - - - 结构
    - 实现层 ( Implementation Level ) - - - 功能与结构

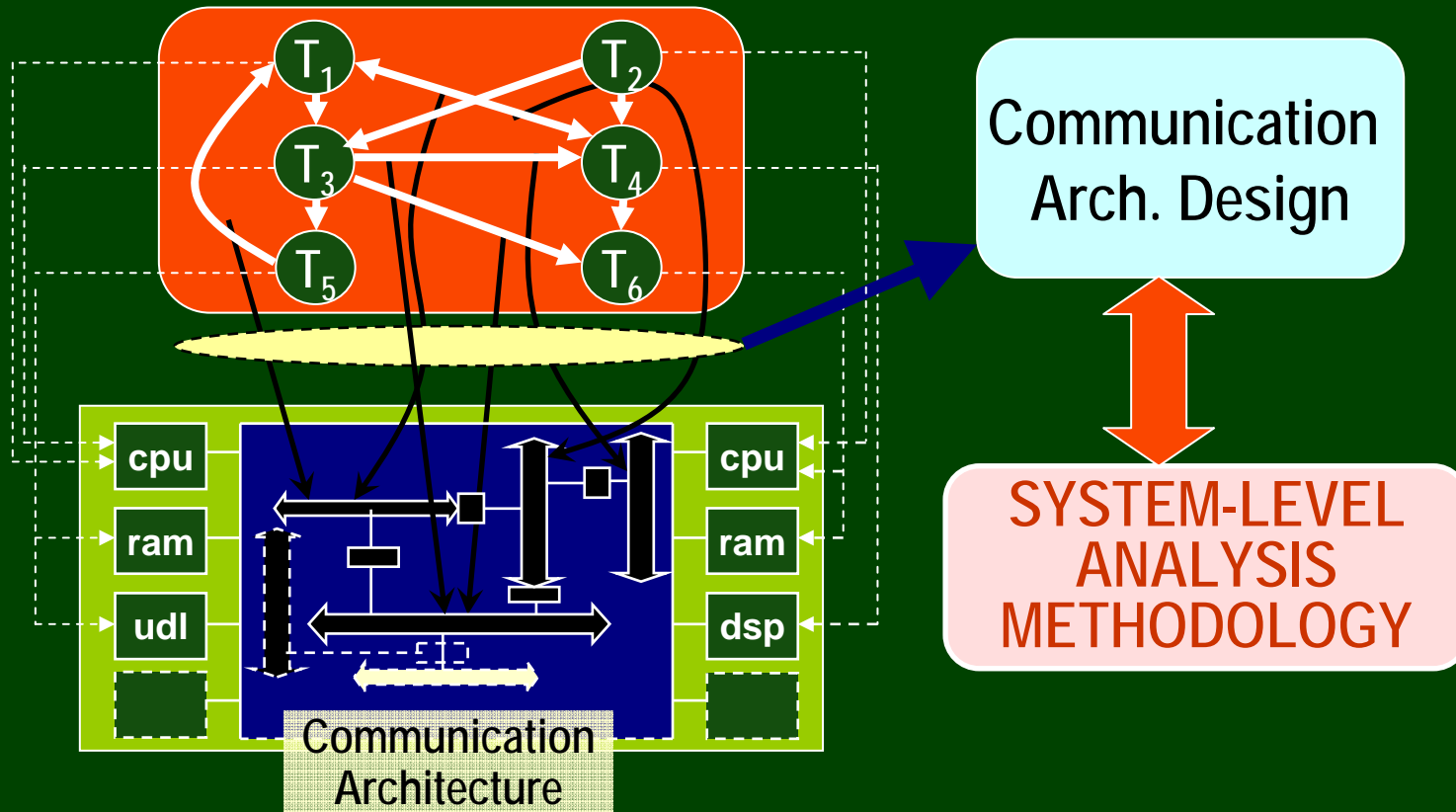
# 功能到结构的转换过程

- 系统功能进行划分 (Partitioning)
  - 软件部分将在某一类可编程的处理器上执行
    - Programmable Processor(s)
  - 硬件部分
    - 可能被已有的特定功能IP核实现
      - Design Reuse
    - 也可能被硬件高级综合工具编译生成专用电路模块
      - High level Synthesis
- 通信体系结构综合 (Communication Architecture Synthesis)
  - 定义一个通信的拓扑结构 (Topology)
    - 专用通道 (Dedicated Channel)
    - 共享总线 (Shared Bus)
    - 通信网络, 可能包含连接不同子网络的桥 (Bridge)
  - 映射被划分后的系统行为中抽象通信事件到上述拓扑结构中的相关路径
  - 选择或自定义通信路径上的协议
- 本文的研究工作集中在后一个方面内容

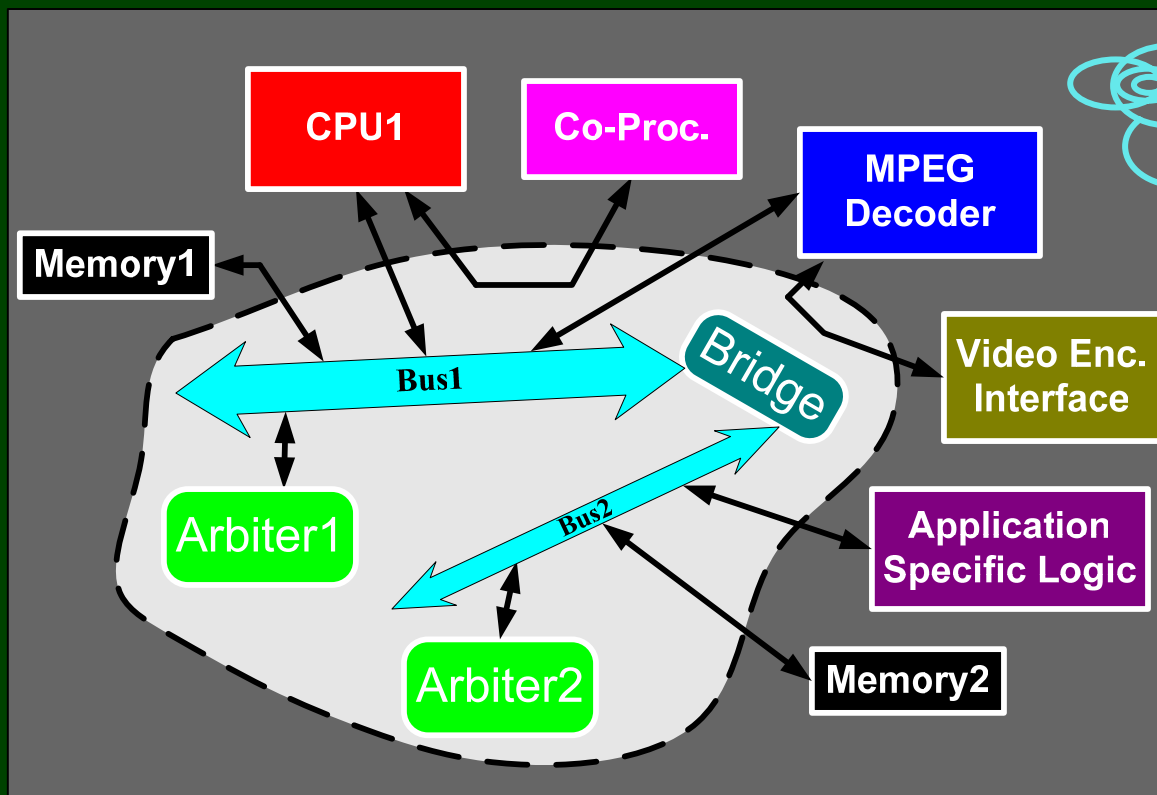




# 功能到结构的转换过程（续）



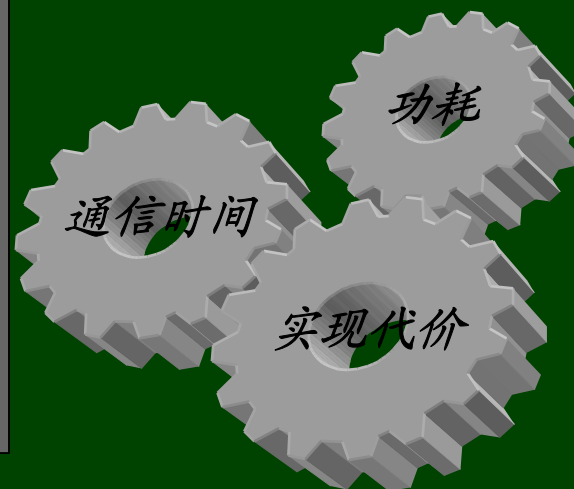
# 通信体系结构示意图



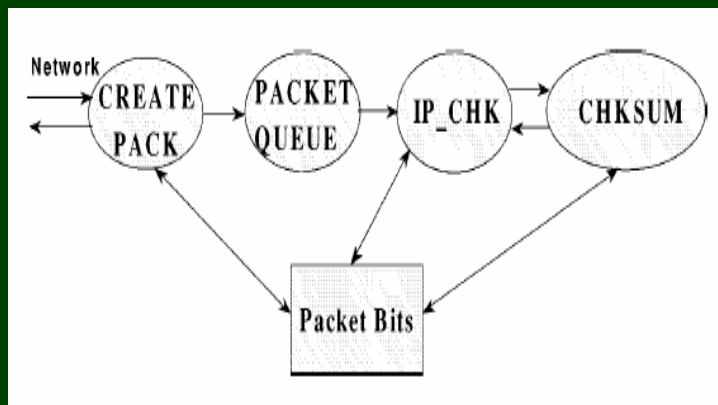
通信体系结构

- 虚线框中即为通信体系结构
- 一个异构的通信系统
- 一个任意拓扑结构的组合

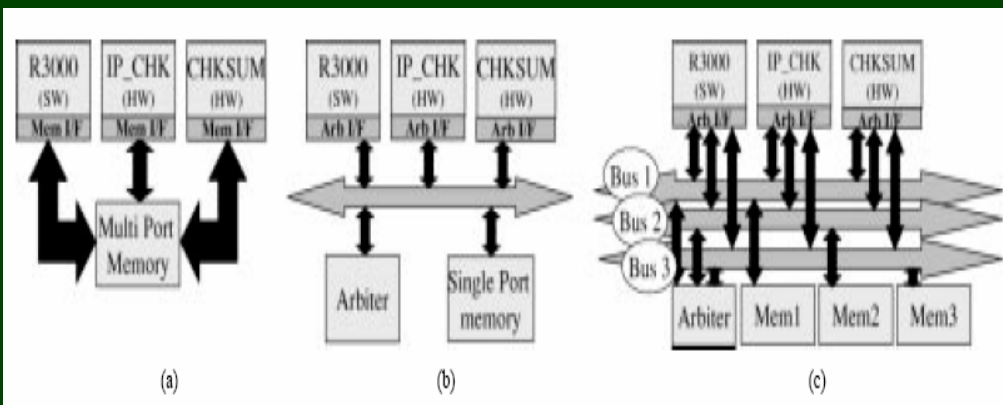
对后续系统的  
设计质量产生  
重要影响



# 例子一



TCP/IP接口网络子系统模型



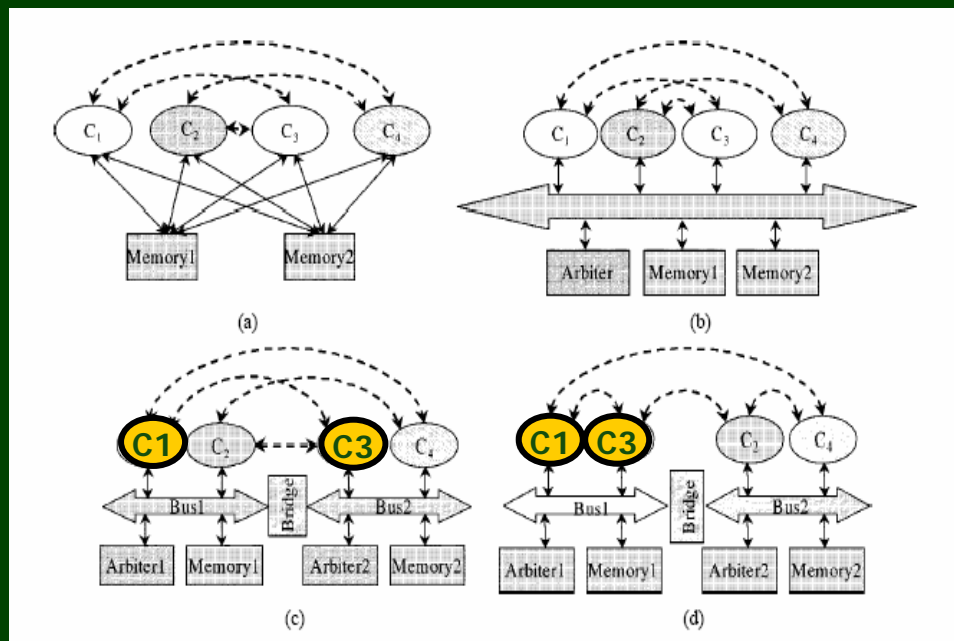
a).专用通道方式; b).共享总线方式; c).多总线方式  
可选的通信体系结构

- TCP/IP网络接口子系统
- 不同的通信体系结构下的性能
  - 专用通道方式
  - 共享单总线方式
  - 多总线方式
- 权衡通信性能与实现代价 (Tradeoff)
  - 三总线方式
    - 增加了系统的代价
    - 减小了不同部件间因并发操作而发生冲突的几率
    - 极大地提高了系统的整体性能

通信体系结构的构建  
至关重要!

## 例子二

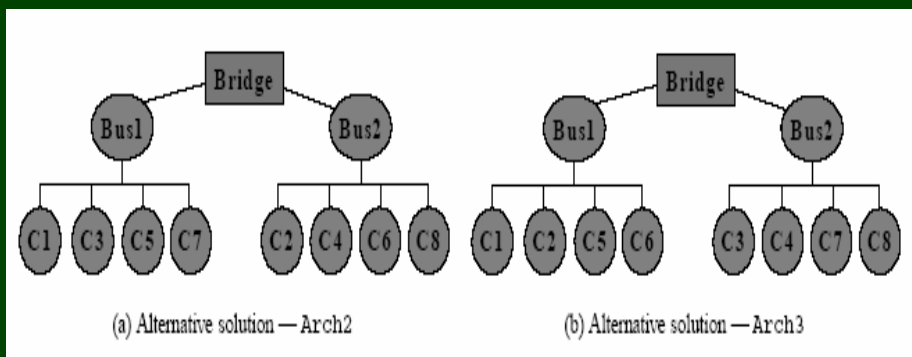
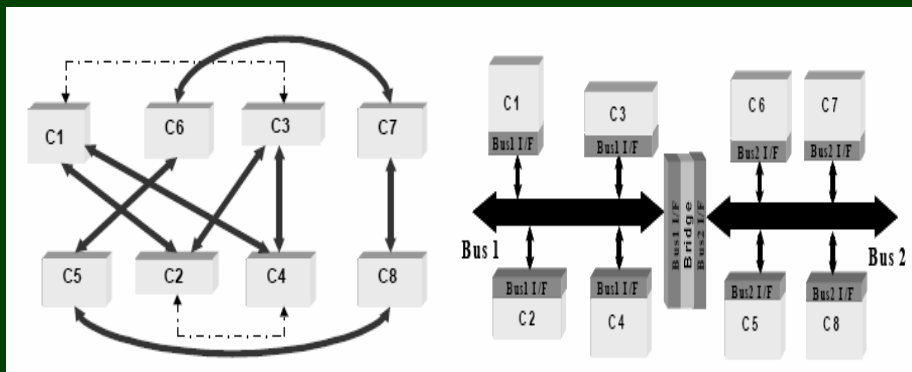
- 四个不同通信任务
  - 共享两个内存中的数据
    - 实线表示
  - 彼此之间相互同步
    - 虚线表示
- 通信事件的映射
  - 通信拓扑结构不同
  - 通信事件的映射也随之不同
    - 通信路径的不同
  - 右图c中C1和C3之间的交换数据
    - Bus1->Bridge->Bus2
  - 右图d中C1和C3之间的交换数据
    - Bus1



可选的通信体系结构：a).抽象通信视图；b).单总线；  
c).双总线；d).多总线（不同映射）

通信事件的映射方案  
也至关重要！

# 例子三



不同的通信体系结构实现方案

- 体系结构映射的空间很大
  - 对于任意一个有n个通信部件、k个不同通道的集合，可能的映射方案以  $O(k^n k!)$  为上界
  - 实际中，设计空间通过一些约束条件能够被裁减
  - 同一种映射，存在不同的通信协议，两者的组合将导致非常困难的优化问题

Table 1: Performance variation over different points in the design space

Cases	Bus 1	Bus 2	Performance (clock cycles)
Arch1	C1 C2 C3 C4	C5 C6 C7 C8	11723
Arch2	C1 C3 C5 C7	C2 C4 C6 C8	15314
Arch3	C1 C2 C5 C6	C3 C4 C7 C8	9242

Table 2: Effect of communication protocol in the design space

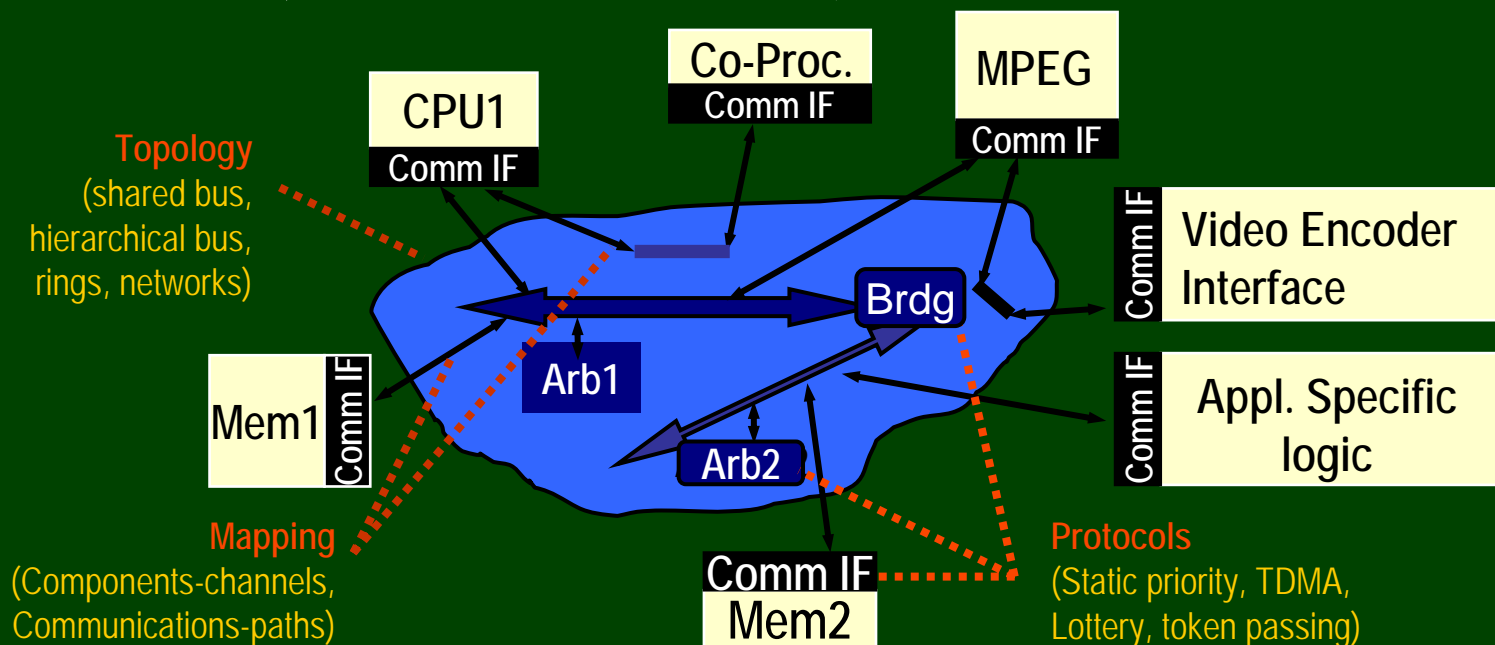
Case	Bus 1 Protocol	Bus 2 Protocol	Performance (cycles)
Arch3-subopt	C1>C2>C5>C6 DMA = 5	C3>C4>C7>C8 DMA = 10	12504
Arch3-opt	C1>C6>C2>C5 DMA = 10	C3>C7>C4>C8 DMA = 10	9242

不同通信体系结构和不同通信协议下的性能分析结果

通信协议的选择  
同样至关重要!

# 小结

- 以上三个例子都说明合理有效地进行通信体系结构的综合能极大地改善系统的性能;
- 不同的通信体系结构、不同的映射方案、不同的通信协议对于系统性能的改善是相当明显的, 因此探索通信体系结构的解空间是很必要的;
- 通信体系结构解空间之大, 必须运用合理的设计决策和适当的设计目标来裁减解空间, 这样才能使最终的结果快速地收敛于一个解;
- 因此, 对于通信体系结构综合的研究是至关重要的。



# 目录

- 选题的背景和意义
- 国内外的研究动向
- 主要的研究内容和方案
- 工作特色与难点
- 预期研究成果与可能的创新点
- 工作论文总体时间安排

## 研究趋势

- SoC软硬件协同设计
  - 属系统芯片高层设计技术领域
  - 向系统级设计发展（System Level Design）
- 国际上的研究与设计实践表明，占整个SoC产品设计周期10%的高层设计，对产品的性能和成本有80%以上的影响。
- 复杂的设计需求和激烈的市场竞争形势
  - SoC的软硬件协同设计方法
  - 设计自动化工具支持
- 缩短进入市场的周期TTM（Time-to-Market）



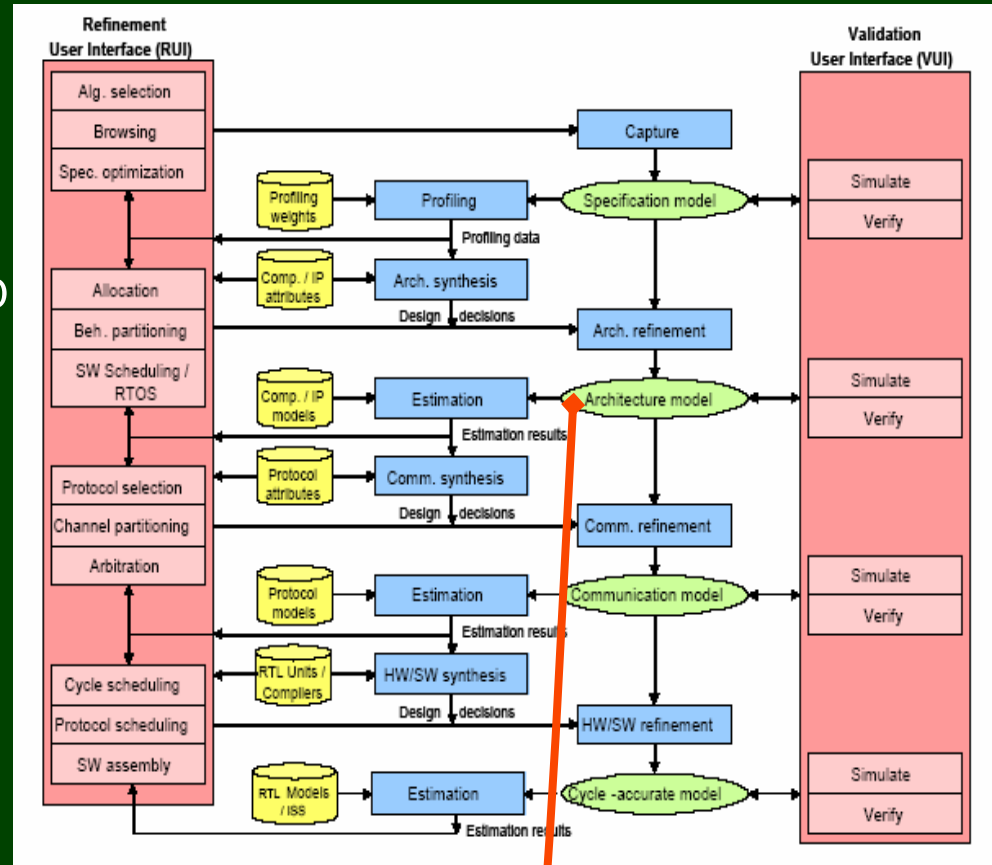
# 国内外研究现状

- 系统级设计方法学
  - 美国UC Irvine、UC Berkeley、Princeton、Washington、UCSD、Stanford以及UCLA等著名大学的研究成果最为突出；
  - 法国TIMA研究实验室；
  - 日本STARC半导体技术学术研究中心；
  - 德国Darmstadt大学；
  - 丹麦Technical学院等；
  - 国内清华北大、国防科大、复旦、浙大等高校也在做相关研究；
  - 在企业界，以主要的EDA厂家（Cadence、Synopsys、CoWare、Mentor Graphic等）为核心推出支持软硬件协同设计的工具。
- 电子设计领域权威的学术会议和杂志
  - 设计自动化年会DAC（Design Automation Conference）
  - 计算机辅助设计国际年会ICCAD
  - 美国计算机学会ACM
    - 软硬件协同专门会议CODES和系统级综合研讨会ISSS
  - 电气和电子工程师协会IEEE
    - 学报Transactions on Computer-Aided Design
- 从设计方法学上探讨体系结构综合的必要性



# 美国UC Irvine

- Gajski教授
  - 嵌入式系统设计方法研究小组
  - 软硬件协同设计系统
    - SCE: System-on-Chip Environment
  - SpecC描述语言为基础
  - 以逐层细化求精为原则
    - Refinement
  - 从系统层建模到寄存器传输级实现的完整设计流程
    - 描述模型
    - 体系结构模型
    - 通信模型
    - 时钟精确级模型



SCE设计方法学

体系结构层空间探索

# 法国TIMA研究实验室

## ● Jerraya教授

- 系统高层设计组
- 符合特定应用要求的体系结构
- 基于组件的多处理器系统
- 分层设计

### ● 系统级

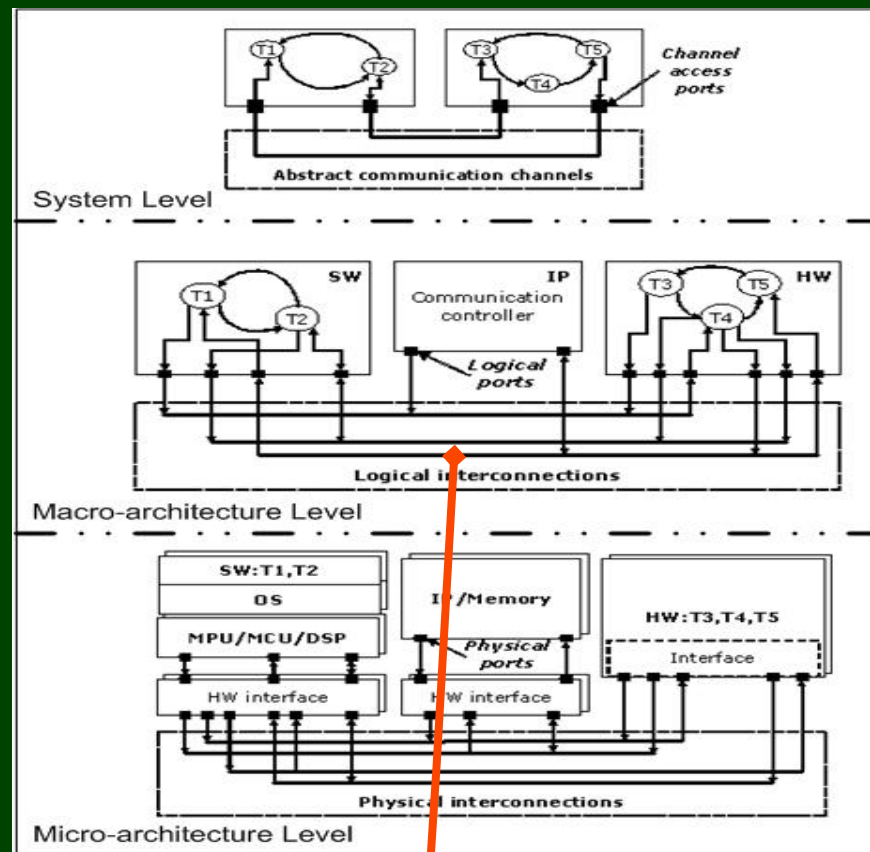
- 彼此连接的模块和进程
- 通信是采用消息级方式
- 利用高层的通信原语
- 通过抽象的通道

### ● 宏体系结构级

- 模块间逻辑通过连线连接
- 目标体系结构
- 软硬件划分
- 通信协议选择
- 通信采用事务级方式
- 隐藏低层的物理协议

### ● 微体系结构级

- 操作系统综合，任务调度
- 产生硬件接口电路
- 实现物理级的通信协议
- 系统集成

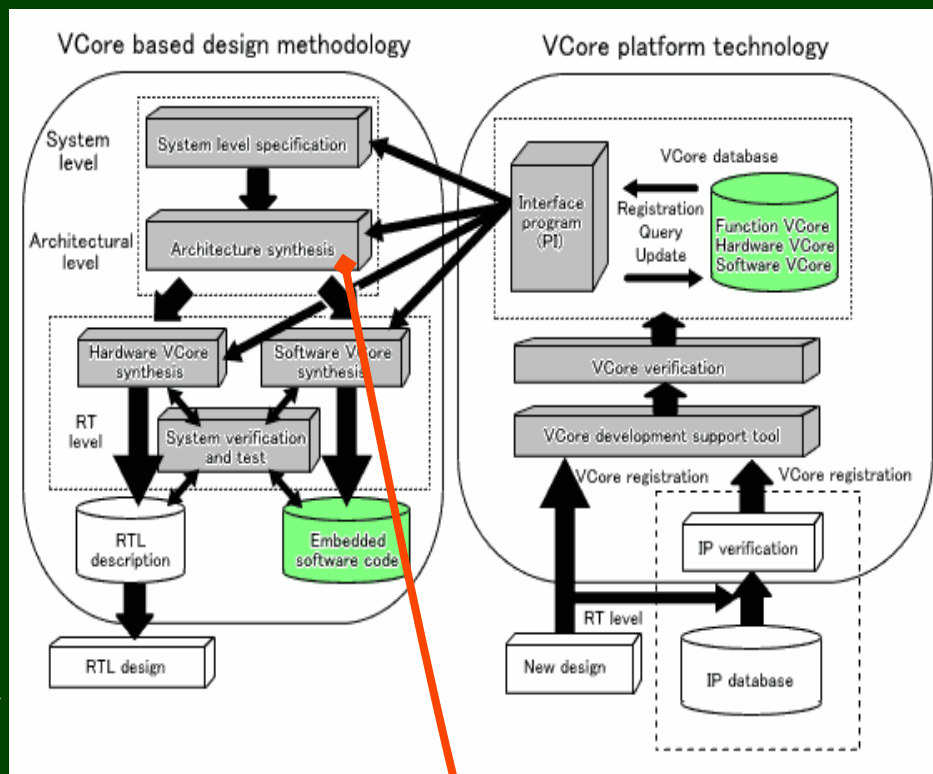


基于组件的多处理器SoC设计流程

体系结构层的设计

# 日本STARC研究中心

- 半导体技术学术研究中心
  - 基于虚核设计系统
    - VCDS: Virtual Core based Design System
  - 采用层次化的设计思想
    - 系统级
    - 体系结构级
    - 寄存器传输级
    - 也提供了构建虚核平台的相关技术
    - 支撑一整套基于虚核的设计方法学
  - 高层次系统描述建模
  - 体系结构综合
  - 硬虚核综合
  - 系统验证和测试方法



基于虚核平台设计方法学

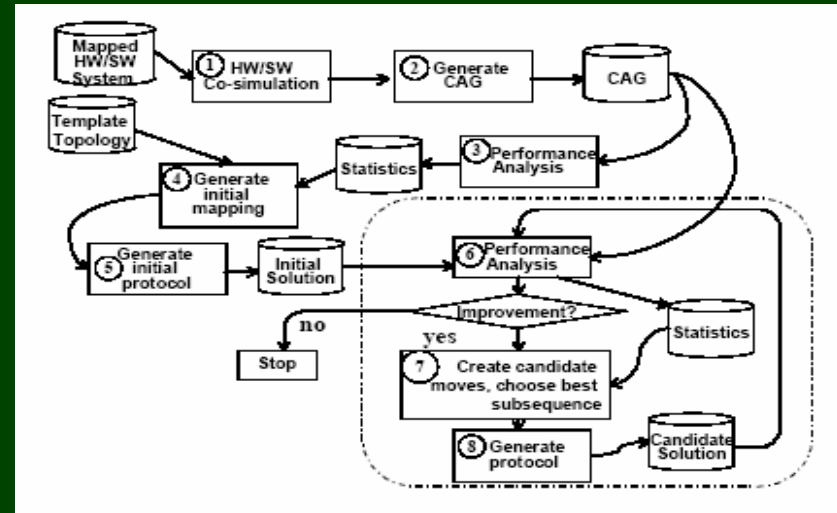
体系结构层的综合

# 通信体系结构综合方法

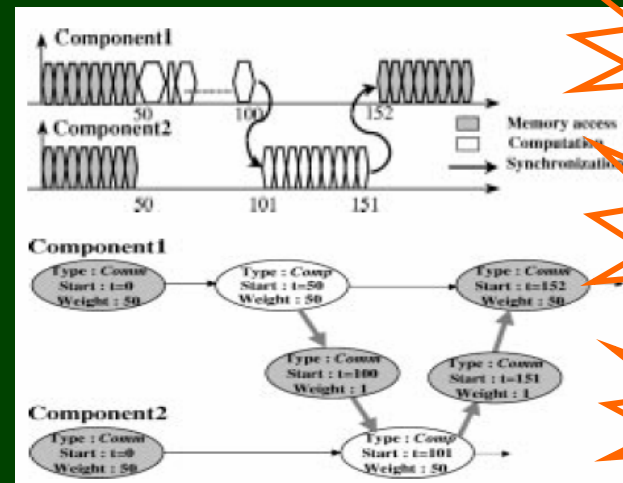
- 研究通信体系结构综合有其重要意义
  - 指导后续设计向更有利的方向发展
  - 减少迭代的次数
  - 缩短设计的周期
- 软硬件协同设计中一个关键的问题是生成
  - 满足特定应用要求的
  - 高性能通信体系结构
    - 定义体系结构模板（即生成拓扑结构）
    - 给出映射方案
    - 制定相关通信协议
    - 生成相关通信接口电路
  - 通信瓶颈
    - 协同仿真 vs. 通信建模
  - 手工设计
    - 费时费力
    - 易于出错

# 美国UCSD

- Lahiri和Dey等人（99年）
  - 基于性能分析的设计方法
    - Performance-Analysis Methodology
  - 获取系统的高性能
- 综合优化算法
  - 预处理
    - 利用Ptolemy工具
    - 得到系统执行路径Trace
  - 通信分析图CAG
    - 计算、通信、以及同步事件
  - 指定一个目标体系结构
  - 自动生成系统映射的方案
  - 定制每条通道上的通信协议
  - 分析系统性能
    - 给出关键通信路径
    - 总线的使用、冲突发生率等
  - 迭代改善，不断优化



基于性能分析的体系结构生成方法



执行路径和通信分析图

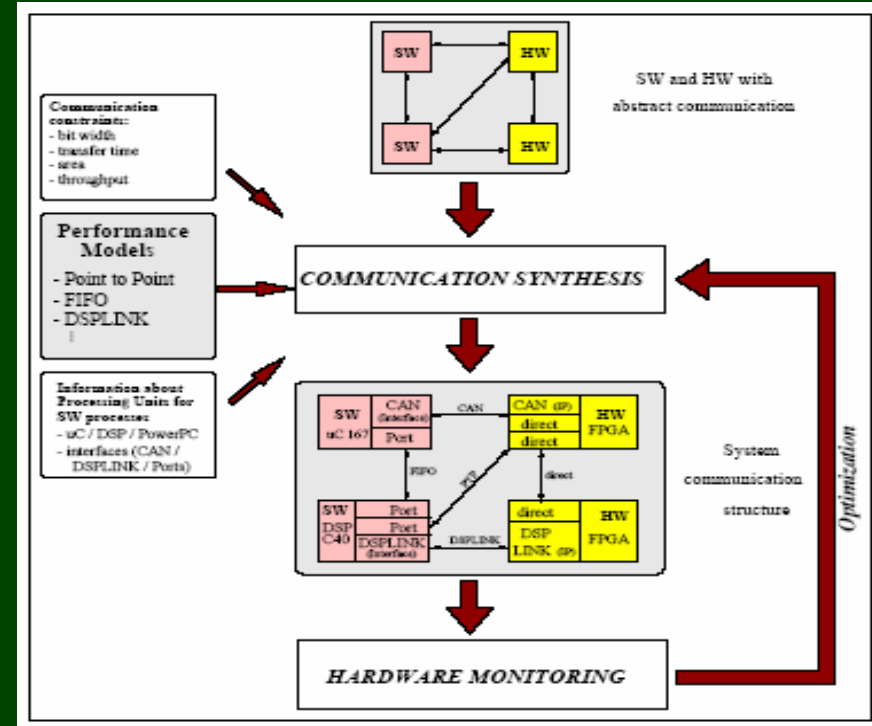
快速精确  
分析方法

避免多次进行  
耗时协同仿真

00年DAC  
最佳论文

# 德国Darmstadt大学

- Renner和Glesner等人（00年）
  - 实时嵌入式系统
  - 通信性能模型
  - 构建精确体系结构原型
    - Architecture-precise Prototyping
- 通信综合算法
  - 基于已划分的系统描述
  - 给定系统通信实时约束
  - 利用不同通信性能模型
  - 生成不同通信互连结构
  - 评价不同通信体系结构
  - 不断优化目标体系结构



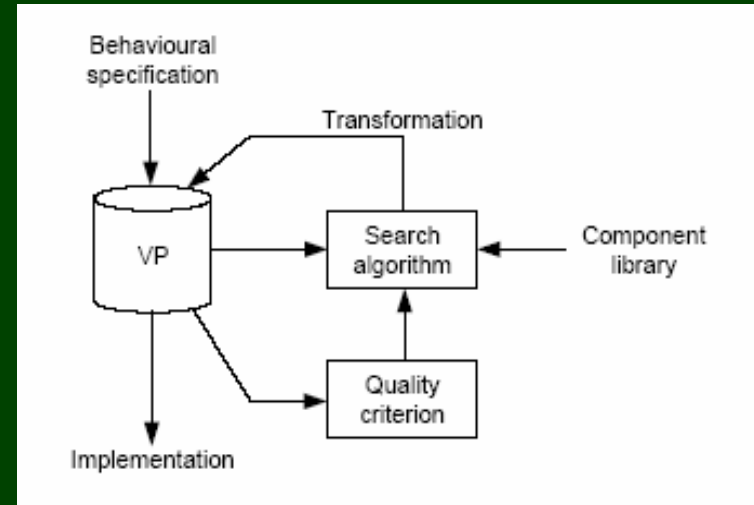
通信体系结构综合设计流程

优化目标为:

$$f_c = \alpha_P \cdot \sum_{p_i \in P} \rho_{vio}(p_i) + \alpha_L \cdot \sum_{c_i \in C} \pi_i(c_i) + \beta_A \cdot A_{CS} + \gamma_T \cdot \sum_{t_i \in T} (t_{constraint}(t_i) - t_{estimated}(t_i))$$

# 瑞典Linköping大学

- Axelsson等人（96年）
  - 实时应用
  - 一个自动选择合适系统体系结构的环境
- 搜索算法
  - 基于一个硬件模块数据库
  - 系统描述中的实时约束
  - 三种不同的启发式搜索算法
    - 遗传算法
    - 模拟退火算法
    - 禁忌搜索算法
  - 构造一个满足实时约束要求并最小化硬件代价的体系结构
  - 分析比较三种算法
    - 禁忌搜索算法最为合理
    - 模拟退火算法也可行



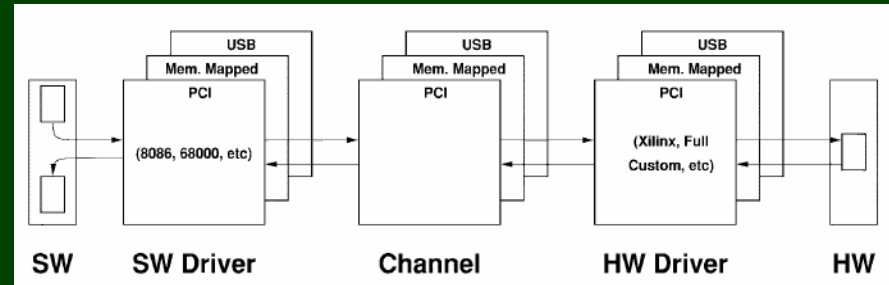
体系结构综合环境

- 虚拟原型VP: Virtual Prototype
  - 中间表示格式
    - 记录当前体系结构的“状态”
  - 虚拟原型包括
    - 系统行为
    - 目标体系结构
    - 软硬件划分结果
    - 调度方案
  - 评价标准Quality Criterion
  - 转换规则Transformations



# 丹麦Technical学院

- Knudsen和Madsen (99年)
  - 首次提出
    - 软硬件划分时
    - 考虑通讯协议影响
  - 研究表明
    - 获得最好的功能划分,
    - 须考虑不同功能间通信特性
- 详细的通信建模 (参数化)
  - 数据的吞吐量Throughput
  - 总线宽度
  - 块/非块传输模式(non)Blocking
  - 系统部件的操作频率
    - 总线、CPU、ASIC
  - 软件代码量
  - 硬件面积和实现部件代价等
  - 模拟出对数据的驱动处理过程
    - 包数据的重组Packing
    - 分割Splitting
    - 压缩Compression
- 快速但仍详细的评估



通信建模方法

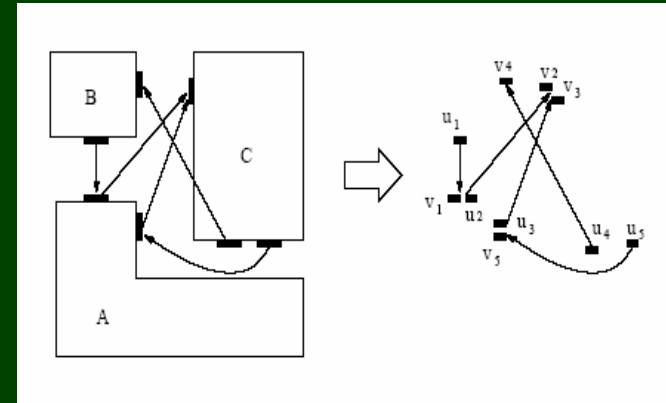
$a_c$	Total channel area	$n_b$	Number of bursts
$a_d$	Driver area	$n_e$	Number of actually transmitted channel words
$a_{dc}$	Area overhead per driver call	$n_{cd}$	Number of channel data words from tx. driver
$a_{pc}$	Total processor communication area	$n_{dc}$	Number of non-inlined driver calls
$b_m$	Burst mode	$n_{di}$	Number of inlined driver calls
$c_{cs}$	Total number of channel synchronization cycles	$n_{oc}$	Number of compression overhead words
$c_{ct}$	Transmission cycles per channel word	$n_t$	Number of transmitting driver input words
$c_{rc}$	Cycles per rx. driver call	$s_b$	Burst size
$c_{rp}$	Rx. drv. processing cycles per tx. drv. input word	$s_r$	Remainder burst size
$c_{sb}$	Synchronization cycles per burst	$t_{cd}$	Total channel transmission delay
$c_{ss}$	Synchronization cycles per transfer session	$t_m$	Maximum communication pipeline delay
$c_{tc}$	Cycles per tx. driver call	$t_{rd}$	Total rx. driver delay
$c_{tp}$	Tx. drv. processing cycles per drv. input word	$t_t$	Total transmission delay
$f_c$	Channel operating frequency	$t_{td}$	Total tx. driver delay
$f_r$	Rx. driver operating frequency	$w_c$	Channel word bit width
$f_t$	Tx. driver operating frequency	$w_g$	Packing granularity
$k_{ca}$	Channel area per length unit	$w_r$	Rx. driver output word bit width
$k_{fc}$	Compression factor	$w_t$	Tx. driver input word bit width
$l_c$	Channel length		

性能模型参数表

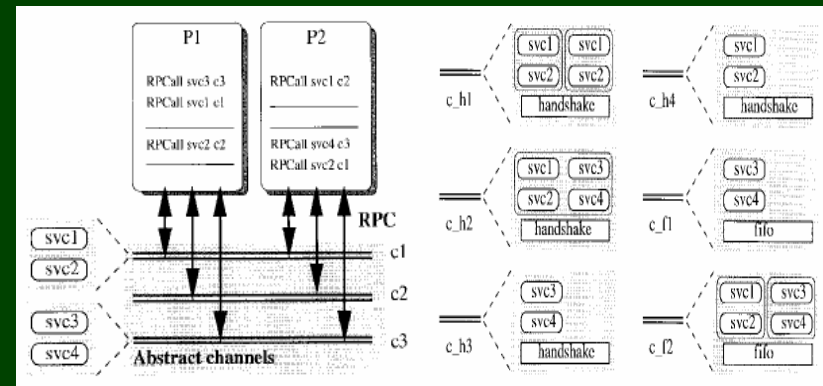
对于不同划分方案给出详细精确的通信建模，快速探索系统的设计空间

# 其他大学或研究机构

- UC Berkeley
  - Pinto等人 (02年)
  - 约束驱动通信综合方法
    - Constraint-Driven
  - 通信以点对点方式进行
  - 一个带弧线约束的通信约束图CCG
    - Communication Constraint Graph
  - IP核库
    - 满足通信约束的
    - 并具有合理代价的模块
- TIMA实验室
  - Daveau等人 (97年)
  - 首次把通信综合表述成分配问题
    - Allocation Problem
  - 通信由一些高层次通信原语
  - 绑定/分配通信单元库中单元
  - 实现协议选择和接口生成的问题



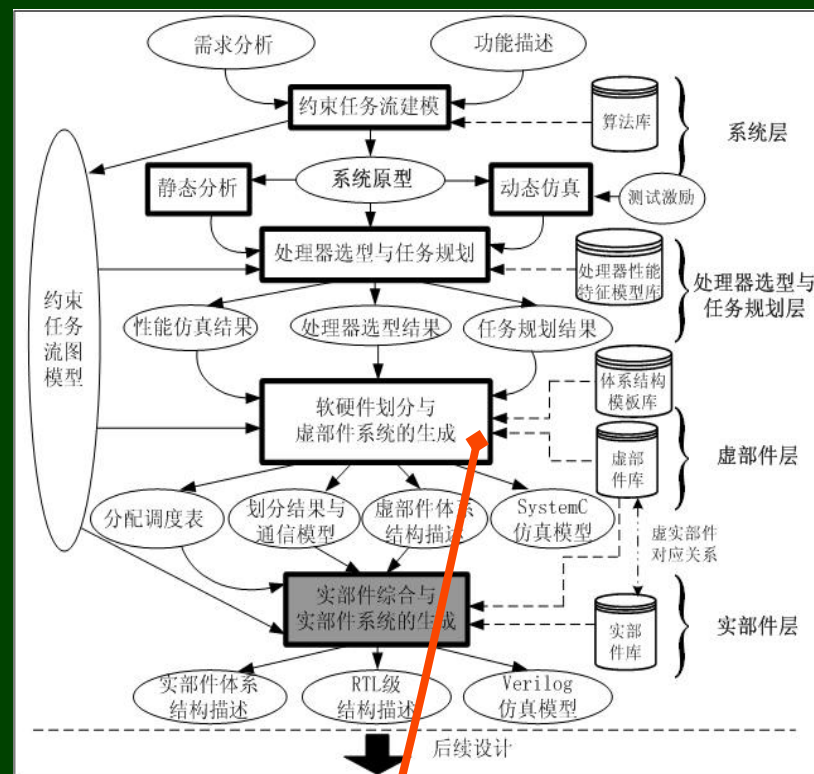
约束驱动的通信综合



基于分配的通信综合

# 国内的相关研究

- 国防科大与清华的Hi-PBD方法
  - SOC-CDE支撑环境
- 北京大学微处理器研发组
  - 16位JBCORE微处理器核
  - 设计JBCODES软硬件协同设计平台
- 东北大学计算机软件国家工程研究中心
  - 研制出面向微控制器的嵌入式软件虚拟开发环境
- 工大微电子中心
  - 搭建软硬件协同设计的SoC平台
  - 第一块32位S698处理器芯片
- 北京中电华大集成电路设计公司、武大、浙大、复旦和上海交大等



Hi-PBD设计方法学

体系结构层的交互式生成

## 小结

- 软硬件协同设计以及相关的设计方法学还处于一个发展初期
- 系统层综合问题固有的复杂性，仍处于理论探讨阶段
  - 系统抽象模型不能有效描述应用
  - 设计空间巨大
  - 约束条件难以表述
  - 体系结构设计信息不完备
- 层次化的思想、逐层细化的原则
- 通信体系结构的综合已成为SoC系统设计中的一个研究重点

# 目录

- 选题的背景和意义
- 国内外的研究动向
- 主要的研究内容和方案
- 工作特色与难点
- 预期研究成果与可能的创新点
- 工作论文总体时间安排

## 前述系统中存在的缺点

- 考虑的问题较为单一：例如丹麦的研究只针对通信性能进行建模，而没有涉及到体系结构的综合；
- 没有规划通信行为要求到通信性能模型图上：例如德国的研究并没有对通信行为进行规划，而只是按照给定的通信约束来完成体系结构的生成；
- 约束较为简单，没有考虑多种约束的情况；
- 并没有考虑软硬件接口综合的过程：不同协议间的通信需产生接口电路来辅助完成，接口电路的引入势必影响通信的性能。

# 研究目标和已有的研究基础

- 拟研究开发一个面向SoC设计的性能驱动通信体系结构综合系统CASSY（**C**ommunication **A**rchitecture **S**ynthesis **S**ystem）。
- 根据系统通信性能特征以及设计约束要求，自动地从组件模块库（Component Library）中选择合适的组件并将划分后的系统描述映射到相应组件模块上，同时生成满足时间性能约束但面积最小的体系结构。
- 目前已有的研究基础
  - 系统软硬件划分工具：博士生吴强和硕士生陈劲
  - 功能形式验证工具：博士生朱明
  - 硬件高层次综合工具：博士生王云峰
  - 接口综合工具：博士生童琨负责研究

# 研究内容

- 通信体系结构的性能建模Performance Modeling
- 体系结构的通信性能分析Analysis与评估Evaluation
- 通信体系结构的综合Architecture Synthesis
- 通信体系结构的优化Optimization
- 相关接口综合Interface Synthesis

## 研究工作的重点

通过对通信行为和性能评价技术的研究，并基于通信性能模型，提出并实现有效的体系结构综合与优化算法。

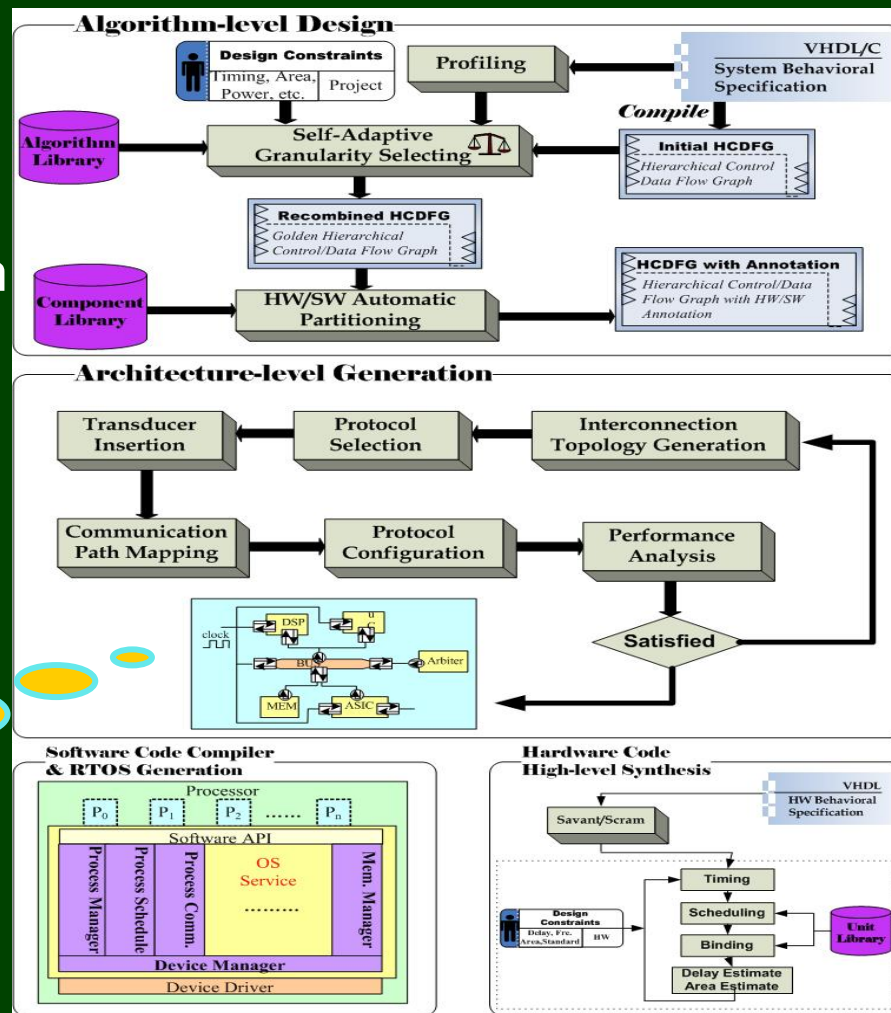
建立体系结构级的原型系统  
Architecture-level Prototype System



# 系统设计流程

- 系统级的设计
  - Algorithm-Level Design
- 体系结构级的生成
  - Architecture-Level Generation
- 寄存器传输级的实现
  - Register-Transfer-Level Implementation
- 完整的设计流程

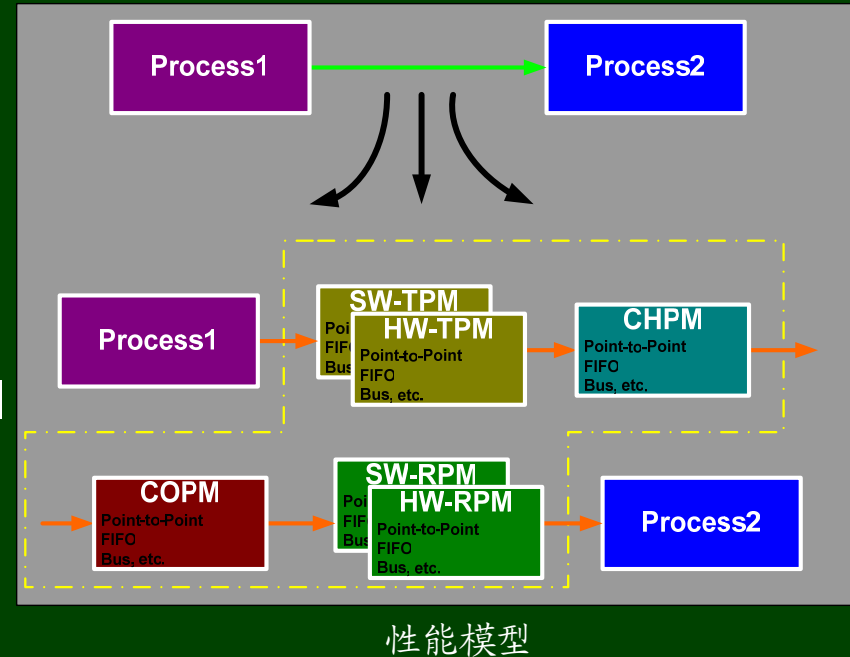
我的研究工作  
“体系结构级生成”



SoC设计流程

# 体系结构的性能建模

- 整个目标体系结构与通信相关各部分
  - 用性能参数化的模型表示
  - 只考虑时延Delay和面积Area两个参数
- 传输者性能模型TPM
  - Transmitter Performance Model
- 通道性能模型CHPM
  - Channel Performance Model
- 通信协议模型COPM
  - COmmunication Protocol Model
- 接收者性能模型RPM
  - Receiver Performance Model

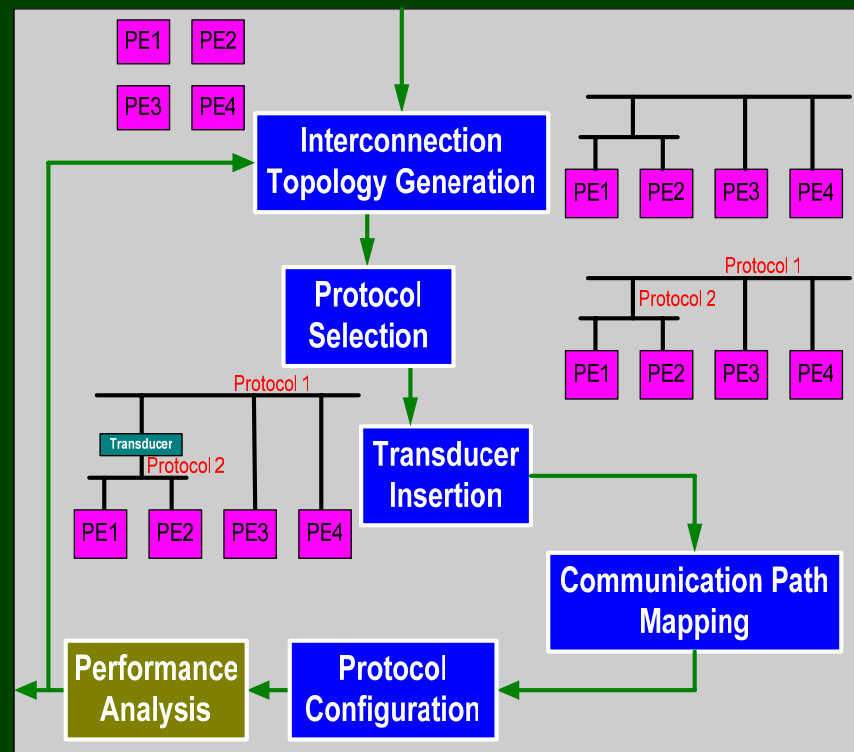


# 通信性能分析与评估

- 基于WCEP（Worst Case Execute Path，最坏情况下的执行路径）的静态分析方法
  - 最坏情况下的执行路径，即所谓的关键路径，它是反映性能的一个重要指标；
  - 根据性能分析过程中所考虑的性能指标类型不同，最坏执行路径可能也不一样；
  - 在本研究中，我们主要针对通性性能来进行分析，即考虑最坏时间执行路径；
- 基于测试基准的动态分析方法
  - 给定测试例子
  - 用协同仿真的方法来分析性能，利用已有的工具（不作为研究的重点）

# 通信体系结构综合

- 互连拓扑结构的生成
  - Interconnection Topology Generation
- 协议的选择
  - Protocol Selection
- 协议转换器的插入
  - Transducer Insertion
- 通信路径的映射
  - Communication Path Mapping
- 通道协议的配置
  - Protocol Configuration
- 性能分析
  - Performance Analysis



体系结构综合流程

# 通信体系结构优化

- 提供不同性能的通信模型库
- 合理确定优化的目标函数
- 给出一些启发式原则
  - 具有多个通信通道的体系结构允许更多并行，因为每一个通信通道都能以并行的方式进行；
  - 在共享系统资源情况下，共享的总线限制了不同部件间并行的数据通信；
  - 然而，这并不能暗示共享的总线总将导致更坏的性能；
  - 相比在一条总线上的通信，通过多条总线（包括桥）与一个部件进行通信将带来一些额外的开销。

# 目录

- 选题的背景和意义
- 国内外的研究动向
- 主要的研究内容和方案
- 工作特色与难点
- 预期研究成果与可能的创新点
- 工作论文总体时间安排

## 工作特色与难点 (1)

- 系统芯片本身特点和当前系统芯片设计方法
  - 提高设计抽象层次
  - 采用功能-结构复用
  - 力图在本课题研究开发的性能驱动通信体系结构综合系统中体现并支持以上两大特点。
- 设计层次的提高能有效地解决设计中遇到的各种问题，在我们组原有的设计方法学上，加入体系结构层，能更好地完成系统级的设计，体现功能-结构复用的特色，减小设计的空间。
- 本系统自动进行通信体系结构性能分析和综合，构造满足约束要求的通信体系结构，而且并不限定所使用的目标体系结构，这也是与目前已有的一些通信综合系统相比所具有的特色之一。

## 工作特色与难点 (2)

- 实现自动生成体系结构系统需强有力的分析算法和综合算法的支持。开发能快速搜索大量设计方案，并能找到较优结果的组合优化算法是其中关键的难点，因为通信体系结构综合中的组合优化问题都是NP-Hard问题。我们试图从多种途径来解决这一问题。
- 通信性能和代价估算将采用更为合理的方式建模，目的是为了在分析和综合时更快速地估算通信的性能和体系结构的实现代价，从而能在一定时间内搜索更多的设计方案。
  - 如何保证通信建模的实际性和精确度是采用这种估算方法的难点。我们准备根据典型的系统体系结构特点进行分类，通过分析来建立符合实际的通信的延时和代价估算模型。



## 工作特色与难点 (3)

- 系统中优化目标函数的确立也是一个难点。根据优化的目标（满足时间约束、最小化代价），构造符合实际要求的目标函数。
- 目标函数的确立，对系统中综合和优化算法将至关重要，它的合理性将决定对设计空间的搜索时间。

# 目录

- 选题的背景和意义
- 国内外的研究动向
- 主要的研究内容和方案
- 工作特色与难点
- 预期研究成果与可能的创新点
- 工作论文总体时间安排

## 预期研究成果

- 针对一个典型的例子（拟定为JPEG编解码），实现在体系结构层中设计空间的快速探索。
- 实验例子使用C或VHDL语言描述，首先初始的系统描述，并经自动的软/硬件划分系统，生成层次化的数据控制流图HCDFG（Hierarchical CDFG），完成算法级的设计；
- 进入体系结构级的生成
  - 根据系统通信性能特征以及设计约束要求；
  - 自动地从组件模块库中选择合适的组件；
  - 构建通信拓扑结构；
  - 将划分后系统描述中通信事件映射到相应通信路径上；
  - 最后生成满足时间性能约束但面积最小的体系结构；
  - 给出体系结构级的原型系统，能在可编程器件上（或是利用已有的协同仿真/验证工具）模拟验证。

## 可能的创新点

- 体系结构拓扑关系的自动生成
- 通信性能模型的建立
- 通信事件的映射方案
- 通信性能的分析
- 通信体系结构的综合与优化
- 优化目标函数的确定

# 目录

- 选题的背景和意义
- 国内外的研究动向
- 主要的研究内容和方案
- 工作特色与难点
- 预期研究成果与可能的创新点
- 工作论文总体时间安排

# 总体时间安排

- 根据工作内容和目前已有的研究基础，在后续攻读博士学位的两年半时间里一共分为五个大的阶段。

时间安排	预定完成的任务
2004年01月 ~ 2004年05月	<ol style="list-style-type: none"><li>1.完成通信体系结构性能模型的建立;</li><li>2.确定性能评估函数;</li><li>3.完成一篇国际会议论文;</li></ol>
2004年06月 ~ 2004年11月	<ol style="list-style-type: none"><li>1.实现性能分析算法;</li><li>2.完成性能驱动的综合算法;</li><li>3.完成一篇国际会议论文;</li></ol>
2004年12月 ~ 2005年05月	<ol style="list-style-type: none"><li>1.实现通信体系结构的优化算法;</li><li>2.完成一篇国际会议论文;</li></ol>
2005年06月 ~ 2005年11月	<ol style="list-style-type: none"><li>1.完成一个实例(拟定为JPEG);</li><li>2.验证整个通信体系结构综合系统;</li><li>3.完成一篇国际会议论文;</li></ol>
2005年12月 ~ 2006年05月	<ol style="list-style-type: none"><li>1.与其他同学开发的程序集成调试;</li><li>2.撰写博士论文。</li></ol>

## 参考文献 (1)

- 张晓新, 华越微电子有限公司, “我国微电子产业发展的问题与建议”, 北京IC设计主页, <http://www.bjic.org.cn/10zxsc/312.htm>
- 章立生, 韩承德, “SOC芯片设计方法及标准化”, 计算机研究与发展, Vol. 39, No.1, pp. 1-7, 2002.
- 陈岚, 唐志敏, “单片系统(SOC)设计技术”, 计算机研究与发展, Vol. 39, No.1, pp. 9-16, 2002.
- Gordon E. Moore, “Cramming more components onto integrated circuits”, Electronics, available at: <http://www.intel.com/research/silicon/mooreslaw.htm>
- Semiconductor Industry Association, “Semiconductor Forecast Summary 2001 – 2004”, Nov. 2001, available at: [http://www.semichips.org/pre\\_stat.cfm?ID=28](http://www.semichips.org/pre_stat.cfm?ID=28)
- 魏少军, 清华大学微电子所, “二十一世纪电信网络的发展与SoC设计方法学”, 中国电子学会主页, <http://www.info2000.com.cn/xuehui/talk/talk4/zt2.htm>
- 洪先龙, 严晓浪, 乔长阁, 《超大规模集成电路布图理论与算法》, 科学出版社, 1998年10月。
- 薛宏熙, 边计年, 苏明, 《数字系统设计自动化》, 清华大学出版社, 1996年10月。
- 王阳元, 北京大学微电子学研究院, “21世纪硅微电子技术展望”, 上海市集成电路行业协会主页, <http://www.sica.org.cn/temp/zjlt.htm>
- International Technology Roadmap for Semiconductors 1999, ITRS Website, available at: [http://public.itrs.net/files/1999\\_SIA\\_Roadmap](http://public.itrs.net/files/1999_SIA_Roadmap)
- Synopsys, Inc. “SystemC Version 2.0, User’s Guide (Update for SystemC 2.0.1)”, available at: <http://www.systemc.org/projects/systemc/>
- 洪先龙, 经彤, 蔡懿慈, 清华大学计算机系, “电子系统设计的新概念——系统级芯片”, 世界电子元器件主页, <http://www.gecmag.com/jszh/2jszh3.asp>
- 王海力, 边计年, “在SoC设计中基于WISHBONE总线协议接口综合技术的研究”, 中国计算机学会第八届计算机工程与工艺学术年会 (NCEET’03), 昆明, 2003年8月。
- S. Edwards, L. Lavagno, E. Lee, and A. Sangiovanni-Vincentelli, “Design of Embedded Systems: Formal Methods, Validation and Synthesis”, In Proceedings of the IEEE, vol. 85 (n.3), pp.366-290, March 1997.
- S. Edwards, L. Lavagno, E. Lee, and A. Sangiovanni-Vincentelli, “Design of Embedded Systems: Formal Methods, Validation and Synthesis”, In Proceedings of the IEEE, vol. 85 (n.3), pp.366-290, March 1997.

## 参考文献 (2)

- K. Lahiri, A. Raghunathan, and S. Dey, "Fast performance analysis of bus-based system-on-chip communication architectures", In Proceedings of the International Conference on Computer-Aided Design, pp. 566-572, Nov. 1999.
- K. Lahiri, A. Raghunathan, and S. Dey, "Performance analysis of systems with multi-channel communication architectures", In Proceedings of the International Conference on VLSI Design, pp. 530-537, Jan. 2000.
- K. Lahiri, A. Raghunathan, and S. Dey, "Efficient Exploration of the SoC Communication Architecture Design Space", In Proceedings of the International Conference on Computer Aided Design, pp.424-430, November 2000.
- 张鲁峰, 《软硬件协同综合及虚拟微处理器技术研究》, 国防科技大学计算机学院, 博士学位论文, 2002年4月。
- Reinaldo.A.Bergamaschi and Willian.R.Lee, "Designing System-on-Chip Using Cores", in 37th Design Automation Conference, June 2000.
- Daniel. D. Gajski, Junyu Peng, Andreas Gerstlauer, Haobo Yu, Dongwan Shin, "System Design Methodology and Tools", UC Irvine, Technical Report TR-03-02, January 2003.
- Henry Chang et al., "Surviving the SOC Revolution: A Guide to Platform-Based Design", Kluwer Academic Publishers, 1999.
- A.Osterling, Th.Benner, et al., "Hardware/Software Co-design: Principles and Practice", Kluwer Academic Publisher, 1997.
- SoC Research, available at: <http://www.cecs.uci.edu/~cad/publications.html>
- TIMA Laboratory, available at: <http://tima.imag.fr/sls/research.html>
- STARC, Project VCDS (Virtual Core Design System) Development, Japan, available at: [http://www.starc.jp/kaihatu/vcdsgr/vcds\\_intro\\_e/4nofrm.html](http://www.starc.jp/kaihatu/vcdsgr/vcds_intro_e/4nofrm.html)
- Synopsys, Inc. "SystemC Version 2.0 Beta-3 Master/Slave Communication Library", available at <http://www.systemc.org/projects/systemc/>
- K. Keutzer, S. Malik, J. M. Rabaey, A. R. Newton and A. Sangiovanni-Vincentelli, System Level Design: Orthogonalization of Concerns and Platform-Based Design, IEEE Transactions on Computer-Aided Design, Vol. 19, No. 12, December 2000.



## 参考文献 (3)

- Alberto Sangiovanni-Vincentelli and Grant Martin, "Platform-Based Design and Software Design Methodology for Embedded Systems", IEEE Design and Test of Computers, Vol 18, Number 6, pp.23-33, November-December 2001.
- Jiang Xu and Wayne Wolf, "Platform-Based Design and the First Generation Dilemma", Electronic Design Processes Workshop, April 2002.
- Bob Altizer, "Platform-Based Design: The Next Reuse Frontier", at Embedded Systems Conference, San Francisco, March 14, 2002.
- Alberto. Sangiovanni-Vincentelli, "Defining Platform-based Design", EE-Design, March 5, 2002.
- K. Lahiri, G. Lakshminarayana, A. Raghunathan, and S. Dey, "Communication Architecture Tuners: A Methodology for the Design of High Performance Communication Architectures", In Proceedings of 37th Design Automation Conference, pp.513-518, Los Angeles, June 2000.
- K. Lahiri, A. Raghunathan, and S. Dey, "System-Level Performance Analysis for Designing On-Chip Communication Architectures", IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, Vol. 20, No.6, June 2001.
- F.-M. Renner, J. Becker, and M. Glesner, "Communication Performance Models for Architecture-precise Prototyping of Real-Time Embedded Systems", In the International Journal of Design Automation for Embedded Systems, 2000.
- F.-M. Renner, J. Becker, and M. Glesner, "Automated Communication Synthesis for Architecture-precise Rapid Prototyping of Real-Time Embedded Systems", In the International Journal of Design Automation for Embedded Systems, 2000.
- J. Axelsson, "Three Search Strategies for Architecture Synthesis and Partitioning of Real-Time Systems", Technical Report LiTH-IDA-R-96-32, Dept. of Computer and Information Science, Linköping University, 1996.
- P. V. Knudsen, and J. Madsen, "Integrating Communication Protocol Selection with Hardware/Software Codesign", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 18, No. 8, Aug. 1999.
- A. Pinto, Luca Carloni, and Alberto Sangiovanni-Vincentelli, "Constraint-Driven Communication Synthesis", In Proceedings of the Design Automation Conference 2002 (DAC'02), June, 2002.

## 参考文献 (4)

- J. M. Daveau, G. F. Marchioro, T. Ben-Ismaïl, and A. A. Jerraya, "Protocol Selection and Interface Generation for Hw-Sw Codesign", IEEE Transactions on VLSI Systems, 1997.
- 熊志辉, 徐明, 王海力, 夏新军, 王大伟, 陈吉华, 李思昆, "SoC软硬件协同设计总体方案", 2003年4月。
- 徐明, 《面向SoC的软硬件划分系统的研究与实现》, 国防科技大学计算机学院, 硕士学位论文, 2003年11月。
- 熊志辉, 陈吉华, 李思昆, "约束任务流模型", 技术报告, 2002年11月。
- 夏新军, 陈吉华, 唐珊, "SoC设计中支持软硬件划分的虚拟处理器的设计研究", 中国计算机学会第八届计算机工程与工艺学术年会 (NCEET'03), 昆明, 2003年8月。
- ZhiHui Xiong, SiKun Li, LuFeng Zhang, "Research on the Methods of SoC System Modeling". In the Eighth International Conference on Computer Aided Design and Computer Graphics (CAD/Graphics'03), Macao, Oct. 2003.
- Wang Haili, Bian Jinian, Xiong Zhihui, Chen Jihua, Li Sikun, "A Novel Virtual-Real Component Synthesis Approach in SoC Design", In the Eighth International Conference on Computer Aided Design and Graphics (CAD/ Graphics'03), Macao, Oct. 2003.
- 崔光佐, 程旭等, "面向处理器的系统级模拟、仿真及调试技术——基于软硬件协同设计的新方法", 计算机研究与发展, Mar, 2001。
- "面向微处理器的软硬件协同设计环境JBCODES和16位微处理器JBCORE", 北京大学计算机可行与技术系鉴定材料, 1999。
- 郭晓东, 刘积仁等, "基于模拟的嵌入式系统开发环境", 东北大学学报(自然科学版) 1999年。
- 郭晓东, 刘积仁, 余克清, 王永峰, 陈定君, "嵌入式系统虚拟开发环境的设计与实现", [计算机研究与发展](#), 2000 Vol.37, No.4, pp. 413-417。
- "我国系统级芯片设计平台研制成功", 中国教育和科研计算机网CERNET, <http://www.edu.cn/20030604/3086032.shtml>
- 吴强, "面向系统芯片 (SoC) 的软/硬件协同设计系统研究与开发", 博士选题报告, 清华大学计算机系内部资料, 2002年5月。
- 朱明, "RTL电路性质验证与软硬件协同验证研究", 博士选题报告, 清华大学计算机系内部资料, 2002年5月。
- 王云峰, "互连线时延和拥挤度驱动的高层次综合算法研究", 博士选题报告, 清华大学计算机系内部资料, 2003年5月。



谢谢!